



Patent

Customer No. 31561
Application No.: 10/707,357
Docket No. 11595-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lai et al.
Application No. : 10/707,357
Filed : December 08, 2003
For : METHOD OF FABRICATING DEEP TRENCH
CAPACITOR
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092127382, filed on: 2003/10/03.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

April 20, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

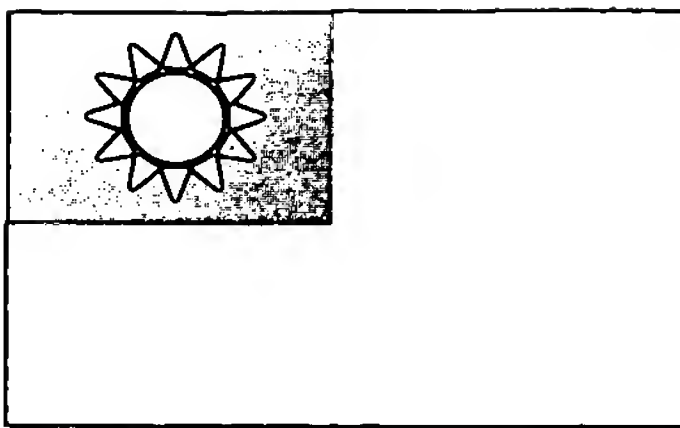
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 03 日
Application Date

申請案號：092127382
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 3 日
Issue Date

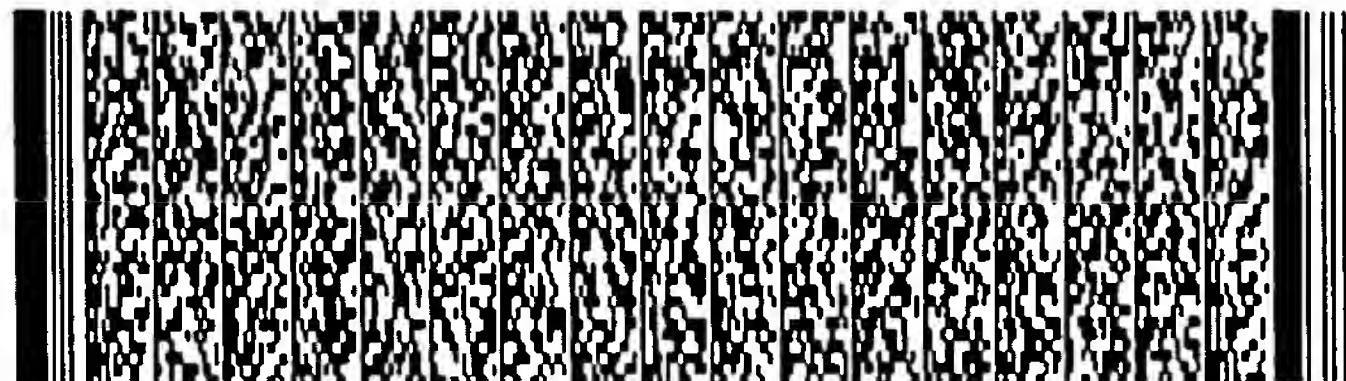
發文字號：09320092830
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	深溝渠式電容器的製造方法
	英 文	METHOD OF FABRICATING DEEP TRENCH CAPACITOR
二、 發明人 (共2人)	姓 名 (中文)	1. 賴素貞 2. 鐘朝喜
	姓 名 (英文)	1. LAI, SU CHEN 2. CHUNG, CHAO HIS
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 嘉義市西區福民里徐州5街74號 2. 新竹縣竹北市文明街17號
	住居所 (英 文)	1. 74TH, HSIU-CHOU 5TH ST., FU-MING LI, WEST DISTRICT, CHIAYI CITY, TAIWAN, ROC 2. NO. 17, WEN-MING ST., CHU-PEI CITY, HSINCHU, TAIWAN, ROC
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓 名 (英文)	1. PROMOS TECHNOLOGIES INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路十九號3樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F., NO. 19, LI HSIN RD., SCIENCE BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. HU, HUNG CHIU



四、中文發明摘要 (發明名稱：深溝渠式電容器的製造方法)

一種深溝渠式電容器的製造方法，其係先提供具有深溝渠之基底。其中，深溝渠底部之基底周圍形成有下電極，且在深溝渠底部形成有電容介電層與第一導體層。接著，於深溝渠與罩幕層表面形成保護層。然後，於保護層表面形成領氧化層。繼之，移除位於第一導電層表面之保護層與領氧化層。之後，於深溝渠中填入材料層。接著，移除位於深溝渠之部分材料層，以形成第一開口。然後，移除未被材料層覆蓋之領氧化層及保護層。繼之，移除第一開口側壁之部分的罩幕層與保護層，以形成第二開口。之後，移除材料層。接著，於深溝渠中依序填入第二導電層與第三導電層。

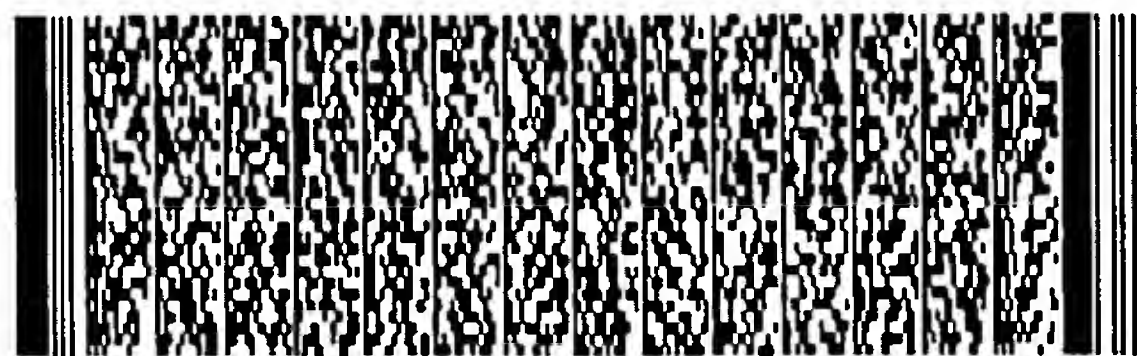
伍、(一)、本案代表圖為：第____2H____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING DEEP TRENCH CAPACITOR)

A method of fabricating deep trench capacitor is described. A substrate having a deep trench is provided, wherein a bottom electrode has been formed in the substrate of the bottom of the deep trench, and a capacitor dielectric layer and a first conductive layer have been sequentially formed on the bottom of the deep trench. A protective layer is formed on the surfaces of the



四、中文發明摘要 (發明名稱：深溝渠式電容器的製造方法)

200a：基底表面

202：襯層

204a：罩幕層

206：深溝渠

214：下電極(摻雜區)

216a：電容介電層

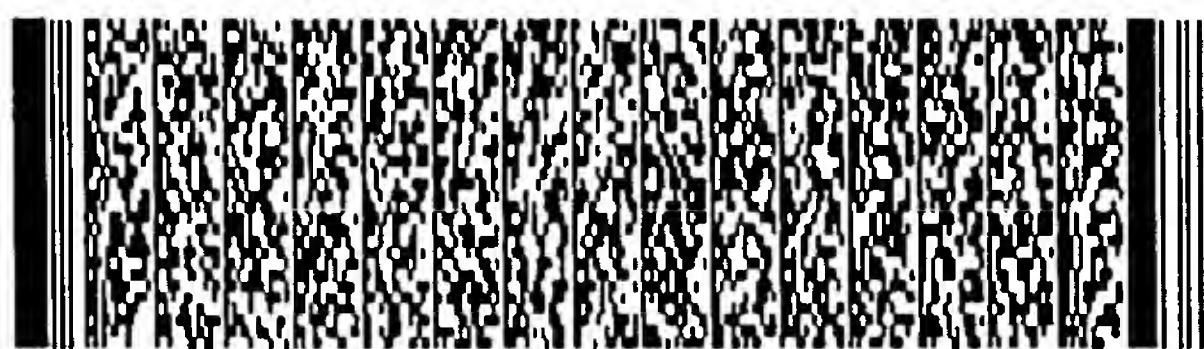
218、230a、232：導電層

220b、220c、220d：保護層

222b：領氧化層

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING DEEP TRENCH CAPACITOR)

deep trench and mask layer. A collar oxide is formed on the surface of the protective layer. After removing the collar oxide and the protective layer on the surface of the first conductive layer, a material layer is filled in the deep trench and then removed partially in the deep trench to form a first opening. After the protective layer on sidewalls of the deep trench



四、中文發明摘要 (發明名稱：深溝渠式電容器的製造方法)

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING DEEP TRENCH CAPACITOR)

and collar oxide without being covered by the material layer are removed, removing partial the mask layer and the protective layer of the first opening's sidewalls to form a second opening. After removing the material layer, a second layer and a third conductive layer are sequentially formed in the deep trench.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

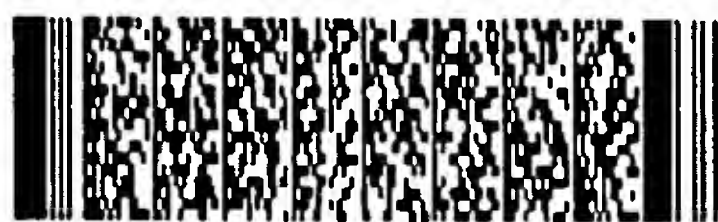
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

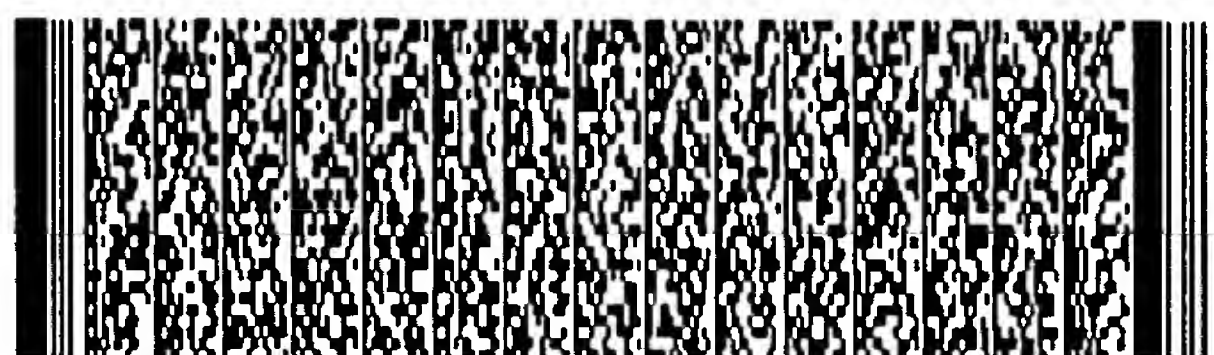
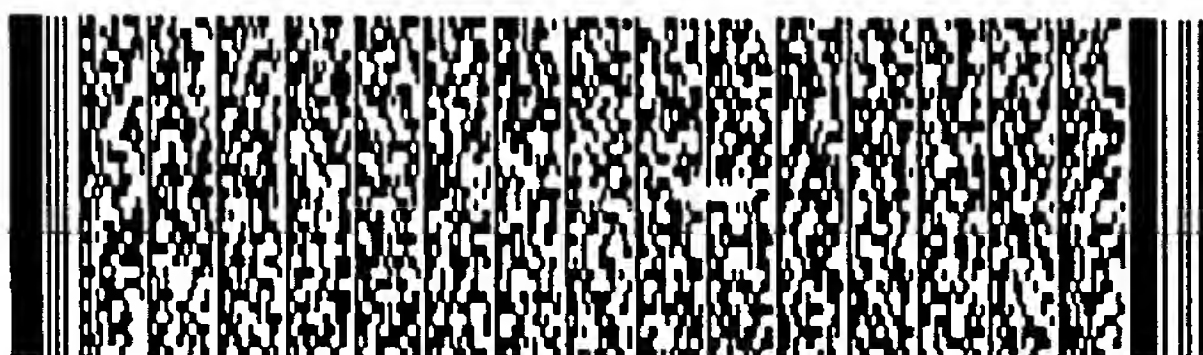
本發明是有關於一種動態隨機存取記憶體(DRAM)之電容器(capacitor)的製造方法，且特別是有關於一種深溝渠式電容器(deep trench capacitor)的製造方法。

先前技術

當半導體進入深次微米(Deep Sub-Micron)的製程時，元件的尺寸逐漸縮小，對以往的動態隨機存取記憶體結構而言，也就是代表作為電容器的空間愈來愈小。另一方面，由於電腦應用軟體的逐漸龐大，因此所需的記憶體容量也就愈來愈大，對於這種尺寸變小而記憶體容量卻需要增加的情形，顯示以往的動態隨機存取記憶體之電容器的製造方法必須有所改變，以符合趨勢所需。

動態隨機存取記憶體依其電容器的結構主要可以分成兩種形式，其一為具有堆疊式電容器(Stack Capacitor)之動態隨機存取記憶體，另一則為具有深溝渠式電容器(Deep Trench Capacitor)之動態隨機存取記憶體。而不論是何種形式之動態隨機存取記憶體，在半導體元件尺寸縮減的要求下，其製造的技術上均遭遇到越來越多的困難。

其中，堆疊式電容器是傳統半導體電容器製造的主要方法，目前普遍用於增加堆疊式電容器表面積的方法有半球晶粒(Hemi-Spherical Grain, HSG)製程，以及改變電容器結構，如冠狀(Crown)、鰭狀(Fin)、柱狀(Cylinder)、或是延伸狀(Spread)等結構。



五、發明說明 (2)

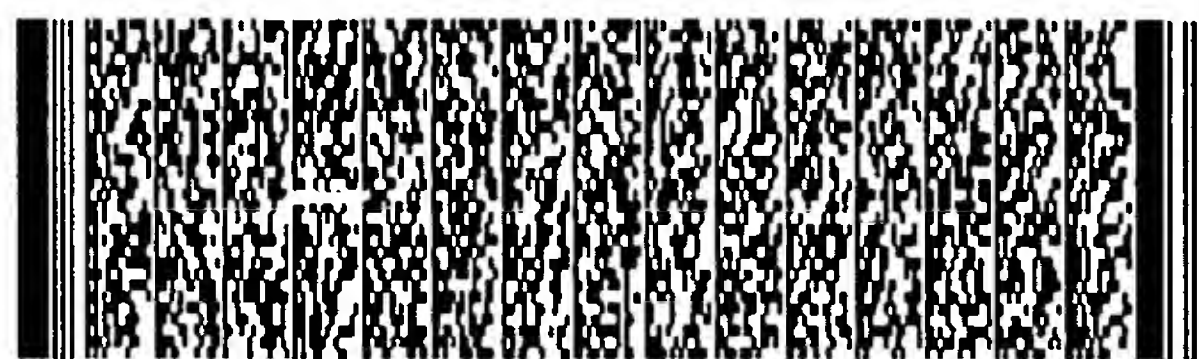
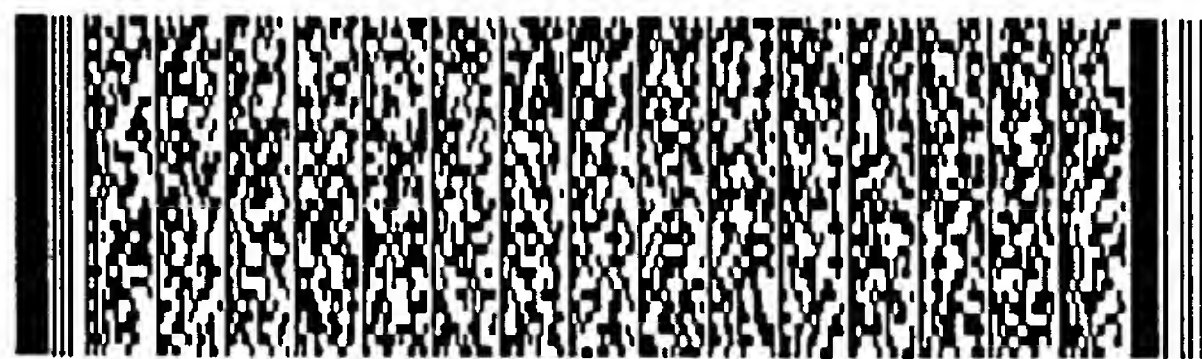
然而，儘管堆疊式電容器的技術較為普遍，但對記憶體元件尺寸縮小的趨勢而言，其平坦化(Planarization)的問題是必須要克服的。

由於深溝渠式電容器是製造於基底之中，因此不易產生平坦化的問題，較有利於記憶體元件尺寸縮小時的製作。但是，對深溝渠式電容器而言，當半導體尺寸愈來愈小，溝渠尺寸亦會相對地縮小，而使得溝渠的高寬比(Aspect ratio)會愈來愈大，如此將使得深溝渠之微影蝕刻製程更加困難，同時於深溝渠中填充導電材質之製程也需要改良。

第1A圖至第1D圖所示，是繪示習知一種深溝渠式電容器之製造流程剖面示意圖。

請參照第1A圖，此方法係先提供基底100，且基底100表面已依序形成有圖案化之襯層102與罩幕層104。接著，利用襯層102與罩幕層104作為蝕刻罩幕，以於基底100中形成深溝渠106。然後，於深溝渠106底部之基底100中形成下電極108，並於深溝渠106底部依序形成電容介電層110與多晶矽層112。繼之，於罩幕層104與深溝渠106表面形成領氧化層114。

接著，請參照第1B圖，進行非等向蝕刻製程，以移除位於罩幕層104與多晶矽層112表面的領氧化層114，而僅留下位於深溝渠106側壁上之領氧化層114a。之後，於深溝渠106中填入多晶矽層118。由於製程積集度的提高，深溝渠106的寬度越來越窄，因此深溝渠106高寬比越來越



五、發明說明 (3)

大。於是，利用化學氣相沈積法所形成的多晶矽層118，無法完全將深溝渠106填滿而產生大的縫隙(Seam)120。

繼之，請參照第1C圖，去除深溝渠106以外以及位於深溝渠106中之部分的多晶矽層118，而形成多晶矽層118a。其中，在移除多晶矽層118之回蝕刻過程中，罩幕層104會受到腐蝕而產生缺陷116。

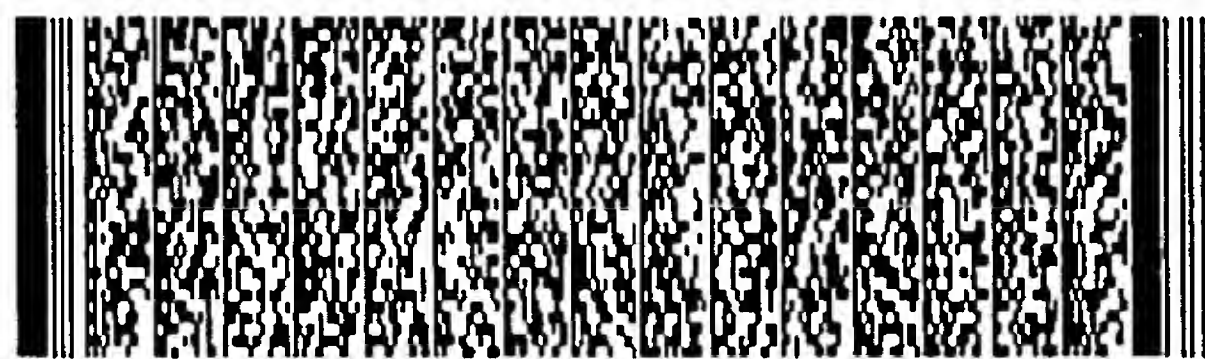
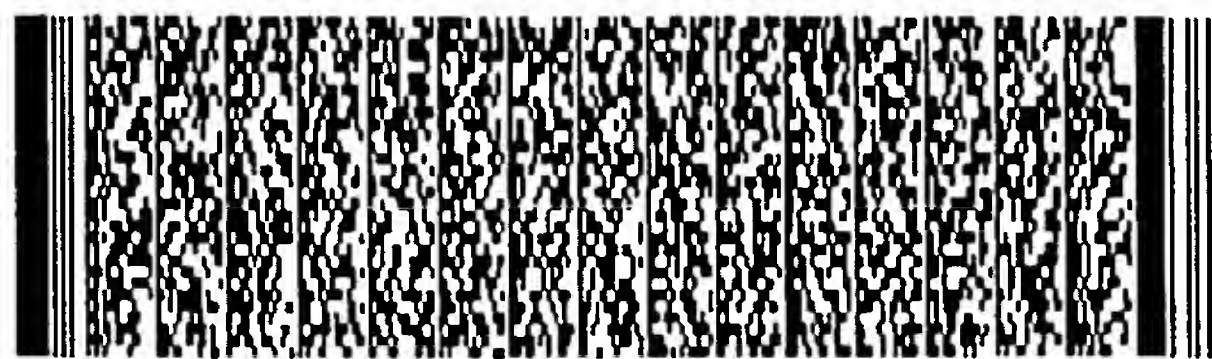
接著，請參照第1D圖，移除未被多晶矽層118a覆蓋之氮氧化層114a。之後，於深溝渠106中形成多晶矽層122，其中多晶矽層(112、118a與122)彼此電性連接，並且作為電容器的上電極之用。

然而，在上述製程中，於多晶矽層118a中所形成之縫隙120，雖然可以藉由回蝕而縮小，但是縫隙120a的存在仍會使得多晶矽層(122、118a)之電性連接產生問題，進而使得元件之導電情況不佳，甚至使得電容器之運作產生問題，而導致記憶胞失效。

另一方面，由於罩幕層104會受到腐蝕而產生缺陷116，因此在後續的製程中，以罩幕層104作為研磨終止層來進行研磨時，會影響研磨的平坦度與均勻性，並且影響多晶矽層回蝕刻及深度量測的問題，進而影響到元件的良率。

發明內容

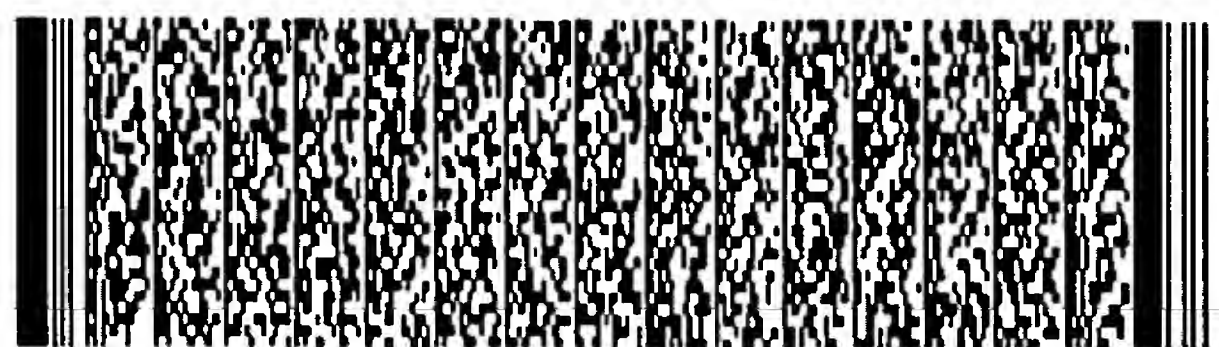
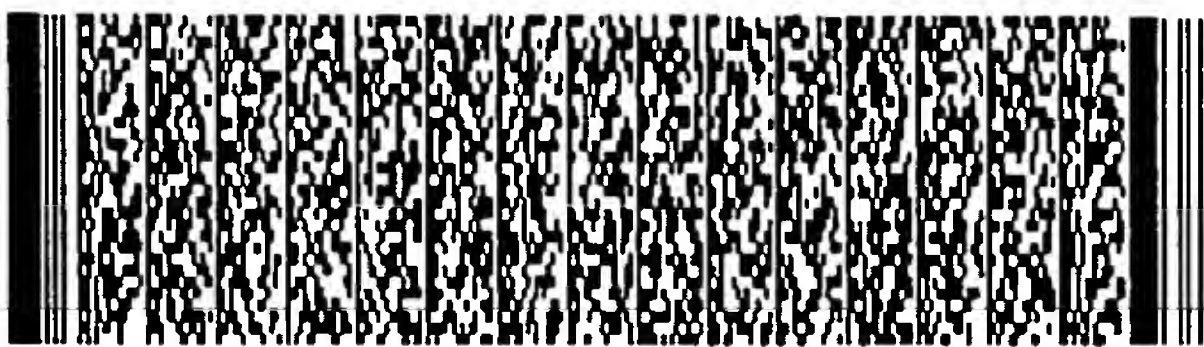
有鑑於此，本發明的目的就是在提供一種深溝渠式電容器的製造方法，以縮小(甚至完全消除)習知在導電層(上電極)產生大縫隙(Seam)的問題。



五、發明說明 (4)

本發明的再一目的是提供一種深溝渠式電容器的製造方法，以解決習知在對導電材料進行研磨，因研磨終止層輪廓不完整，而影響平坦化之結果，並且影響多晶矽層回蝕刻及深度量測的問題。

本發明提出一種深溝渠式電容器的製造方法，此方法係先提供基底，此基底已形成圖案化之襯層與單幕層以及深溝渠。其中，此深溝渠底部之基底周圍已形成下電極，且於深溝渠表面已形成有電容介電層。接著，於深溝渠底部形成第一導電層。繼之，於單幕層與深溝渠表面形成保護層。其中，此保護層例如是利用電漿加強型化學氣相沉積法所形成，且其在水平面之沉積速率大於在垂直面之沉積速率，因此在深溝渠之垂直面上幾乎只有很薄的保護層形成。之後，於保護層表面形成領氧化層。然後，移除位於第一導電層表面之保護層與領氧化層。接著，於深溝渠中填入材料層。繼之，移除部分位於深溝渠中之材料層，以形成第一開口，其中材料層的表面高於襯層。繼之，移除未被材料層覆蓋之領氧化層與保護層。之後，移除第一開口側壁之部分的單幕層與保護層，以形成第二開口，其中第二開口的寬度大於第一開口的寬度。然後，移除材料層。接著，於深溝渠中填入第二導電層。繼之，移除深溝渠頂部之部分的第二導電層，以使此第二導電層未填滿深溝渠。之後，移除位於深溝渠側壁，且未被第二導電層覆蓋之領氧化層與保護層。然後，於深溝渠中填入第三導電層，此第三導電層填滿深溝渠。

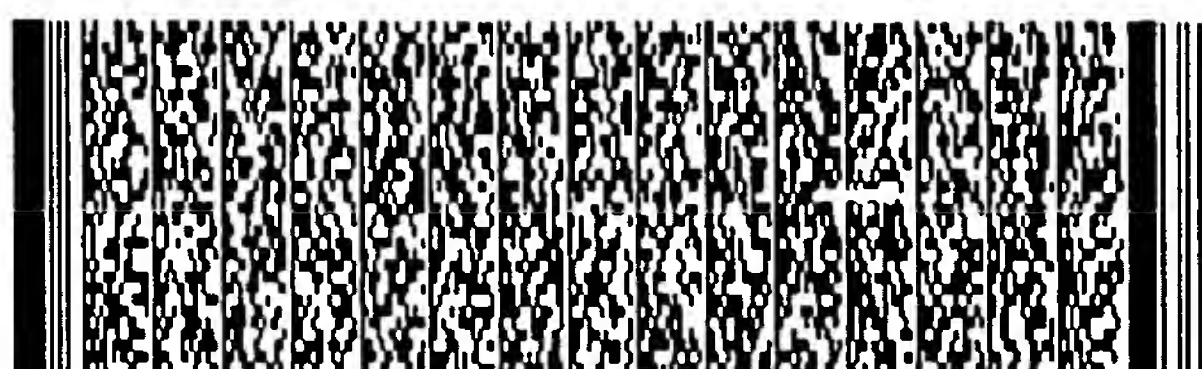


五、發明說明 (5)

由於本發明的製造方法係於罩幕層上形成一層保護層，而且此保護層的蝕刻移除速率比蝕刻氧化層小，因此在此移除蝕刻氧化層時，可以以此保護層作為蝕刻終止層。除此之外，因為保護層的移除速率低，所以在蝕刻時不易被侵蝕，可保護位於其下方之罩幕層，使罩幕層之輪廓亦保持完整。當後續在進行研磨製程，並以此保護層或是罩幕層作為研磨終止層時，則可以提升研磨之平坦度與均勻性，而且還可以避免影響多晶矽層回蝕刻及深度量測。

另外，本發明較習知多了一個移除第一開口之側壁的製程，而使得原本的第一開口變大，如此可以藉由降低深溝渠的高寬比，來避免習知無法將導電材料填滿溝渠，而產生大縫隙的問題。

本發明提出另一種深溝渠式電容器的製造方法，此方法係先提供基底，此基底已形成圖案化之襯層與罩幕層以及深溝渠。其中，此深溝渠底部之基底周圍中已形成下電極，且於深溝渠表面已形成有電容介電層。接著，於深溝渠底部形成第一導電層。之後，於罩幕層及深溝渠表面形成蝕刻終止層。然後，移除位於第一導電層表面之蝕刻終止層。接著，於深溝渠中填入材料層。繼之，移除位於深溝渠中之部分材料層，以形成第一開口，其中材料層的表面高於襯層。繼之，移除未被材料層覆蓋之蝕刻終止層。之後，移除第一開口側壁之部分罩幕層，以形成第二開口，其中第二開口的寬度大於第一開口的寬度。然後，移除材料層。接著，於深溝渠中填入第二導電層。繼之，移



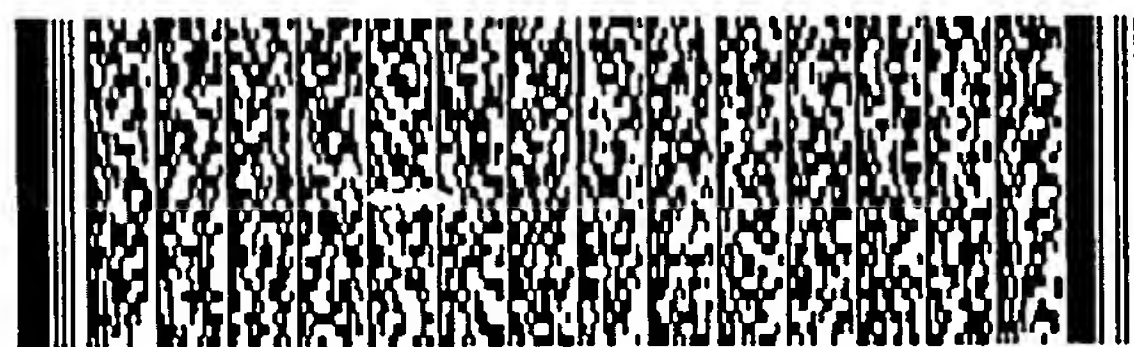
五、發明說明 (6)

除深溝渠頂部之部分的第二導電層，以使此第二導電層未填滿深溝渠。之後，移除位於深溝渠側壁，且未被第二導電層覆蓋之領氧化層。然後，於深溝渠中填入第三導電層，此第三導電層填滿深溝渠。

由於本發明較習知多了一個移除第一開口之側壁的製程，而使得原本的第一開口變大，如此可以藉由降低深溝渠的高寬比，來避免習知無法將導電材料填滿溝渠，而產生大縫隙的問題。

本發明提出又一種深溝渠式電容器的製造方法，此方法係先提供基底，此基底已形成圖案化之罩幕層與深溝渠。其中，此深溝渠底部之基底周圍已形成下電極，且於深溝渠表面已形成有電容介電層。接著，於深溝渠底部形成第一導電層。繼之，於罩幕層與深溝渠表面形成保護層。其中，此保護層例如是利用電漿加強型化學氣相沉積法所形成，且其在水平面之沉積速率大於在垂直面之沉積速率，因此在深溝渠之垂直面上幾乎只有很薄的保護層形成。之後，於保護層表面形成領氧化層。然後，移除位於第一導電層表面之保護層與領氧化層。接著，於深溝渠中填入第二導電層。繼之，移除深溝渠頂部之部分的第二導電層，以使此第二導電層未填滿深溝渠。接著，移除位於深溝渠側壁，且未被第二導電層覆蓋之領氧化層與保護層。之後，於深溝渠中填入第三導電層，此第三導電層填滿深溝渠。

由於本發明的製造方法係於罩幕層上形成一層保護



五、發明說明 (7)

層，且此保護層的蝕刻移除速率比領氧化層小，因此在移除領氧化層時，可以以此保護層作為蝕刻終止層。除此之外，因為保護層的移除速率低，所以在蝕刻時不易被侵蝕，可保護位於下方之罩幕層，使罩幕層之輪廓亦保持完整。當後續在進行研磨製程，並以此保護層或是罩幕層作為研磨終止層時，則可以提升研磨之平坦度與均勻性，而且還可以避免影響多晶矽層回蝕刻及深度量測。

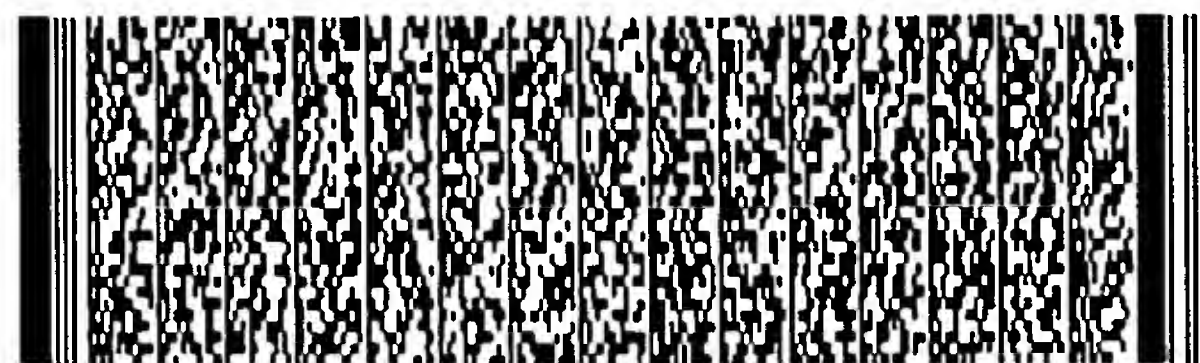
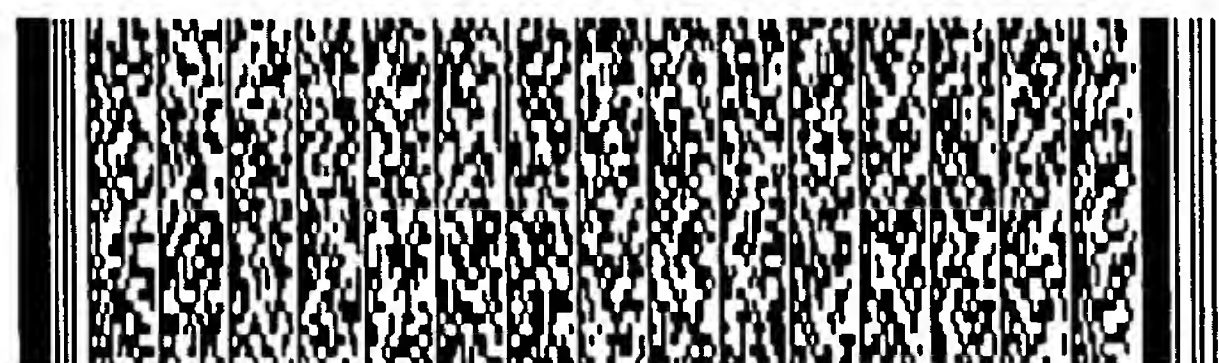
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第2A圖至第2H圖所示，是繪示依照本發明一較佳實施例的一種深溝渠式電容器的製造流程剖面示意圖。

請參照第2A圖，在基底200表面形成圖案化之襯層202與罩幕層204。其中，襯層202的材質例如是氧化矽，其形成方法例如是進行熱氧化法，罩幕層204之材質例如是氮化矽，其形成方法例如是化學氣相沉積法(Chemical Vapor Deposition, CVD)。此外，圖案化之襯層202與罩幕層204的形成方法例如是先於基底200上全面性地形成襯層202，並於襯層202上形成罩幕層204後，對罩幕層204與襯層202進行微影蝕刻製程以形成之。

繼之，以罩幕層204與襯層202為罩幕，進行一蝕刻製程，而在基底200中形成深溝渠206。其中，深溝渠206之形成方法，例如是乾式蝕刻法。



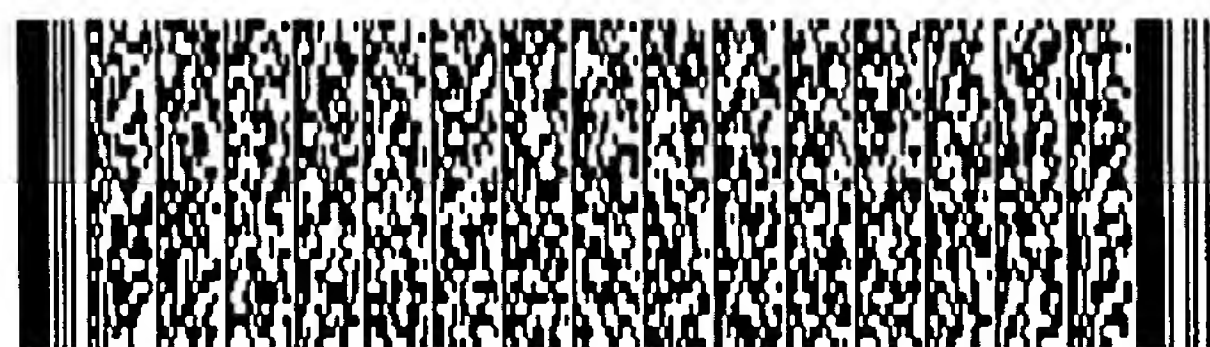
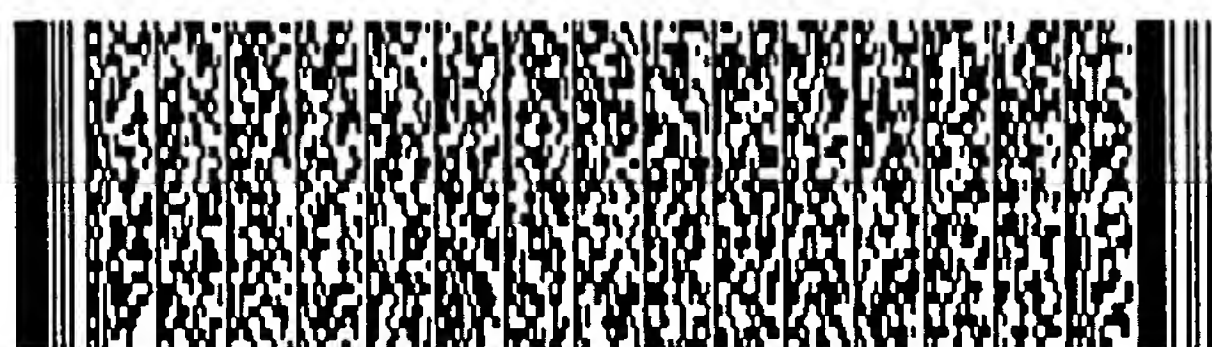
五、發明說明 (8)

接著，在深溝渠206的側壁上形成一層摻雜絕緣層208，此摻雜絕緣層208之材質例如是摻質為砷離子之氧化矽層，且摻雜絕緣層208之形成方法例如是以臨場(In-Situ)摻雜離子之方式，利用化學氣相沈積法以形成之。

然後，於深溝渠206底部形成一層光阻層210，其中光阻層210並未填滿深溝渠206，且光阻層210之表面係位於基底200表面200a之下。

接著，請參照第2B圖，移除未被光阻層210覆蓋之部分摻雜絕緣層208。其中，摻雜絕緣層208之移除方法例如是濕式蝕刻法，其係以緩衝氫氟酸(Buffer HF, BHF)或稀釋的氫氟酸(Diluted HF, DHF)為蝕刻劑。接著，移除光阻層210。然後，在基底200上形成共形的一層絕緣層212，以覆蓋罩幕層204與深溝渠206。其中，絕緣層212之材質例如是以四乙基矽酸酯(Tetra Ethyl Ortho Silicate, TEOS)/臭氧(O_3)為反應氣體源，利用化學氣相沈積法所形成之氧化矽。

之後，請參照第2C圖，對基底200進行一熱製程，使摻雜絕緣層208a中的雜質擴散進入深溝渠206底部之基底200中，而形成一摻雜區214，此摻雜區214係以作為深溝渠式電容器之下電極214。此外，由於深溝渠206形成有絕緣層212，故可阻擋住摻雜絕緣層208a中摻質的擴散，使摻雜區214不致擴散過大，而可限制在包圍住深溝渠206底部的範圍內。然後，移除深溝渠206底部的摻雜絕緣層

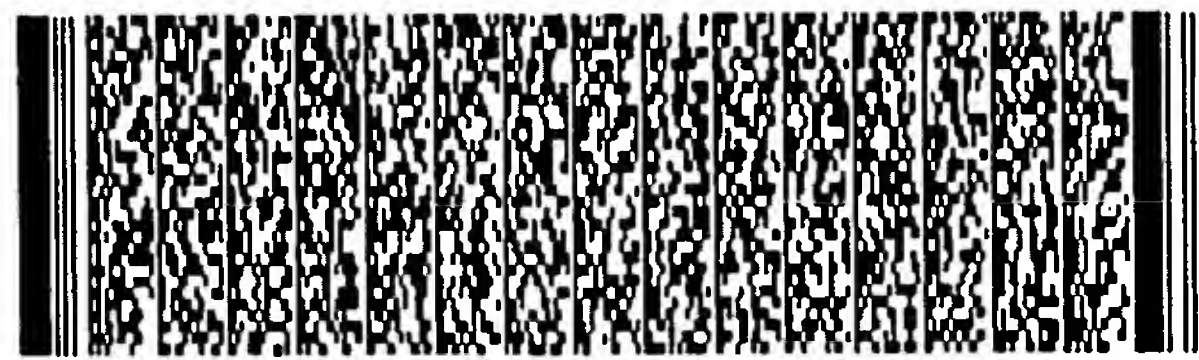
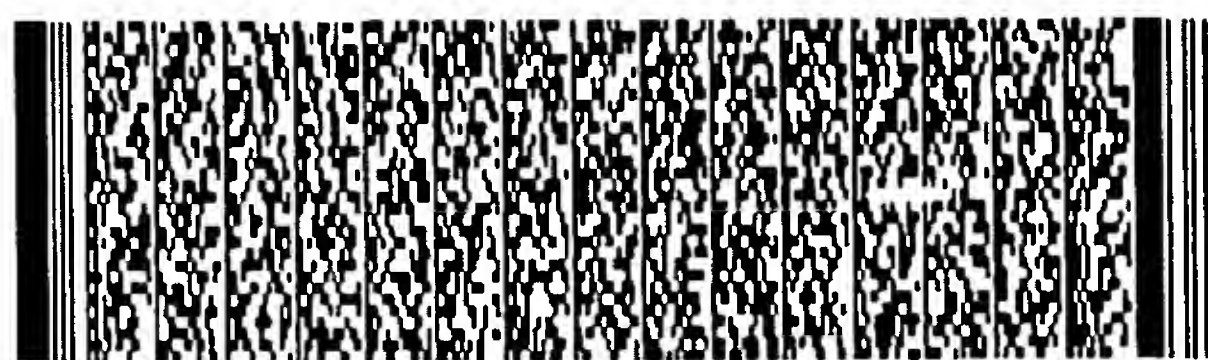


五、發明說明 (9)

208a 以及絕緣層212，其移除方法例如是濕式蝕刻法，其係以緩衝氫氟酸(Buffer HF, BHF)或稀釋的氫氟酸(Diluted HF, DHF)為蝕刻劑。

之後，請參照第2D圖，於深溝渠206表面形成共形的電容介電層216，以覆蓋下電極214。電容介電層216之材質例如是氧化矽/氮化矽，且電容介電層216之形成方法例如是熱氧化法或化學氣相沉積法。然後，形成未填滿深溝渠206之導電材料層218。其中，導電材料層218之材質例如是摻雜多晶矽，而導電材料層218之形成方法例如是以臨場(In-Situ)摻雜離子之方式，利用化學氣相沈積法於基底200上形成一層摻雜多晶矽層(未繪示)後，移除深溝渠206以外以及深溝渠206頂部之部分的摻雜多晶矽層而形成之，其移除方法例如是乾式蝕刻法或溼式蝕刻法。

接著，請參照第2E圖，移除未被導電層218覆蓋之電容介電層216，而形成電容介電層216a，其移除方法例如是乾式蝕刻法或溼式蝕刻法。繼之，於罩幕層204與深溝渠206表面形成保護層220。其中，保護層220的材質例如是氧化矽及氮氧化矽其中之一，而氧化矽保護層220的形成方法例如是以四乙基矽酸酯(Tetra Ethyl Ortho Silicate, TEOS)/氧氣(O_2)為反應氣體源，進行電漿加強型化學氣相沈積法所形成之。而且，由於保護層220其在水平面之沈積速率大於在垂直面之沈積速率，因此在深溝渠206的垂直面上幾乎只有很薄的保護層220(即220b)形成。因此，依照所形成之保護層220其厚度的差異，將保



五、發明說明 (10)

護層220區分為位於罩幕層204上的保護層220a，位於深溝渠206側壁上的保護層220b，以及位於導電層218上的保護層220c，而且其厚度大小關係為保護層220a的厚度大於保護層220c的厚度，以及保護層220c的厚度大於保護層220b的厚度。

之後，於保護層220(即220a，220b與220c)表面形成共形的領氧化層(Collar Oxide)222。其中，領氧化層222的形成方法例如是進行化學氣相沈積法，且反應氣體例如是臭氧(O_3)/四乙基矽酸酯(TEOS)。

然後，請參照第2F圖，移除位於導電層218表面之保護層220c與領氧化層222，而形成領氧化層222a。接著，於深溝渠206中填入材料層224，且材料層224的表面高於襯層202。其中，材料層之材質例如是光阻材料或抗反射塗佈材料。此外，填入材料層224的方法例如是先於深溝渠206中填滿材料層224。然後，藉由對材料層224進行回蝕刻，以形成開口226。

繼之，移除未被材料層224覆蓋之領氧化層222a及位於深溝渠206側壁很薄之保護層220b。因保護層220a的厚度大於保護層220b，所以在移除保護層220b時，保護層220a會保留下來，其移除方法例如是濕式蝕刻法。其中，保護層220a與220b的移除速率例如是介於20至35埃/分，而領氧化層222a的移除速率例如是介於40至65埃/分。值得一提的是，由於上述所形成之保護層220a，其移除速率小於領氧化層222a的移除速率，因此，在移除領氧化層



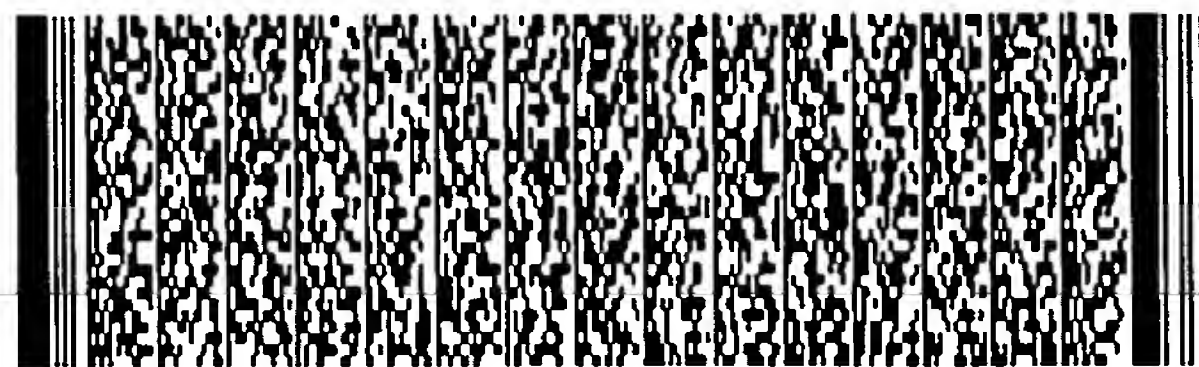
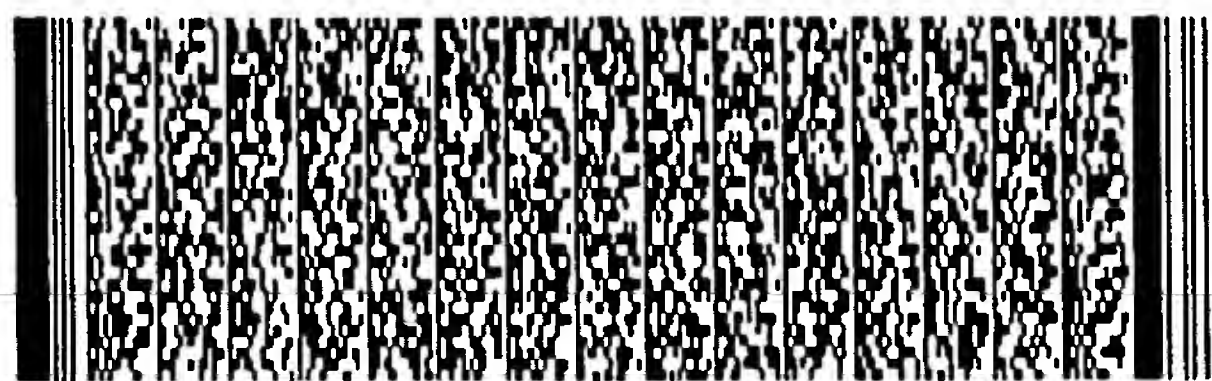
五、發明說明 (11)

222a時，就能夠以保護層220a作為蝕刻終止層。除此之外，因為保護層220a的移除速率低，所以在蝕刻時不易被侵蝕，可保護位於下方之罩幕層204，使罩幕層204之輪廓保持完整。而且，當後續在進行研磨製程，並以此保護層220a或是罩幕層204作為研磨終止層時，則可以提升研磨之平坦度與均勻性，而且還可以避免影響多晶矽層回蝕刻及深度量測。

之後，請參照第2G圖，移除開口226側壁之部分的罩幕層204與保護層220a，而形成罩幕層204a與保護層220d，並且形成開口228，其中開口228的寬度大於開口226的寬度，其二者的差值例如是介於5至20奈米之間。此外，此蝕刻製程例如是濕式蝕刻法，其係以氫氟酸之乙二醇溶液(HF/EG)或磷酸(H₃PO₄)為蝕刻劑。然後，移除材料層224，其移除方法例如是濕式蝕刻法。

接著，於深溝渠206填入導電層230。其中，導電層230的材質例如是摻雜多晶矽或多晶矽，其形成方法例如是與導電層218之形成方法相同，而且導電層218與導電層230彼此電性連接。此外，在此步驟中，由於先前已經將深溝渠206的開口226變大，因此可以降低深溝渠206的高寬比。於是，在填入導電層230時，可以縮小(甚至完全消除)習知於導電層230所產生的縫隙(Seam)。

之後，請參照第2H圖，進行回蝕刻，以移除深溝渠206以外及深溝渠206頂部之部分的導電層230，以使導電層230a的表面低於基底200的表面200a。然後，去除於深



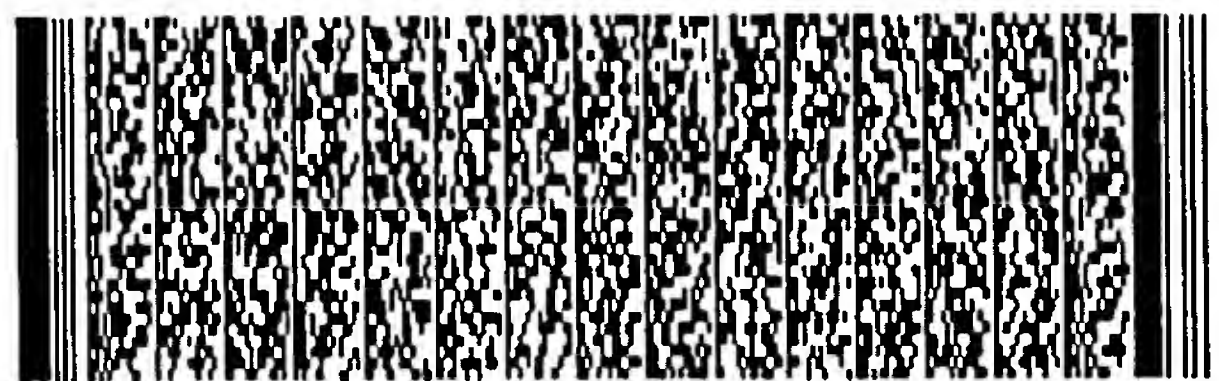
五、發明說明 (12)

溝渠206側壁未被導電層230a覆蓋之領氧化層222a與保護層220b，而形成領氧化層222b。繼之，於深溝渠206中形成導電層232。其中，導電層232例如是摻雜多晶矽或多晶矽，其形成方法例如是與導電層(230a或218)相同之製程。而且，導電層(218、230a與232)彼此電性連接，以作為電容器之上電極之用。

由於本發明的製造方法係於罩幕層上形成一層保護層，且此保護層的蝕刻移除速率比領氧化層小，因此在移除領氧化層時，就能夠以此保護層作為蝕刻終止層。除此之外，因為保護層的移除速率低，所以在蝕刻時不易被侵蝕，可保護位於其下方之罩幕層，使罩幕層之輪廓亦保持完整。當後續在進行研磨製程，並以此保護層或是罩幕層作為研磨終止層時，則可以提升研磨之平坦度與均勻性，而且還可以避免影響多晶矽層回蝕刻及深度量測。

另外，本發明較習知多了一個移除第一開口之側壁的製程，而使得原本的第一開口變大，如此可以藉由降低深溝渠的高寬比，來避免習知無法將導電材料填滿溝渠，而產生大縫隙的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1D圖是習知的一種之深溝渠式電容器之製造流程剖面示意圖。；以及

第2A圖至第2H圖是依照本發明之一較佳實施例的一種深溝渠式電容器之製造流程剖面示意圖。

【圖式標記說明】

100、200：基底

102、202：襯層

104、204、204a：罩幕層

106、206：深溝渠

108、214：下電極(摻雜區)

110、216、216a：電容介電層

112、118、118a、122：多晶矽層

114、114a、222、222a、222b：氮氧化層

116：缺陷

120、120a：縫隙

200a：基底表面

208、208a：摻雜絕緣層

210：光阻層

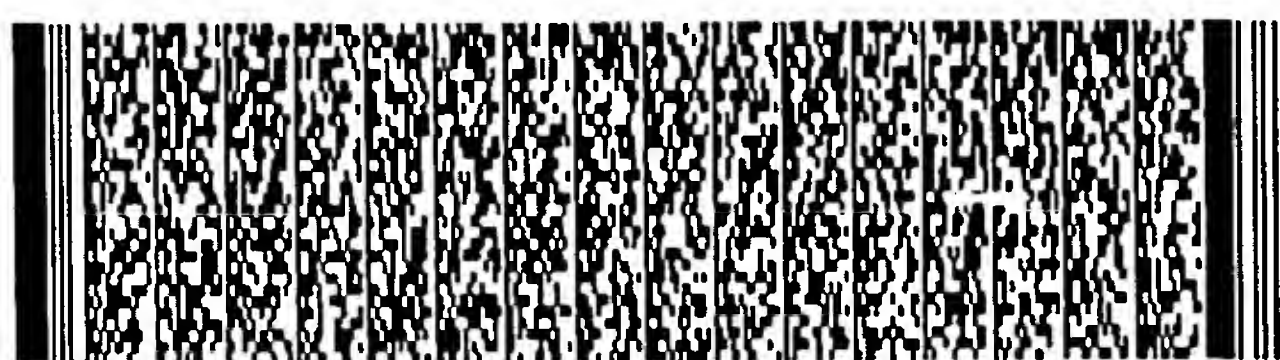
212：絕緣層

218、230、230a、232：導電層

220、220a、220b、220c、220d：保護層

224：材料層

226、228：開口



六、申請專利範圍

1. 一種深溝渠式電容器的製造方法，包括：

提供一基底，該基底已形成圖案化之一襯層與一罩幕層以及一深溝渠，該深溝渠底部之該基底周圍已形成一下電極，且該深溝渠表面已形成一電容介電層；

於該深溝渠底部形成一第一導電層；

於該罩幕層與該深溝渠表面形成一保護層；

於該保護層表面形成一領氧化層；

移除位於該第一導電層表面之該保護層與該領氧化層；

於該深溝渠中填入一材料層；

移除部分位於該深溝渠中之該材料層，以形成一第一開口，其中該材料層的表面高於該襯層；

移除未被該材料層覆蓋之該領氧化層與該保護層；

移除該第一開口側壁之部分的該罩幕層與該保護層，以形成一第二開口，其中該第二開口的寬度大於該第一開口的寬度；

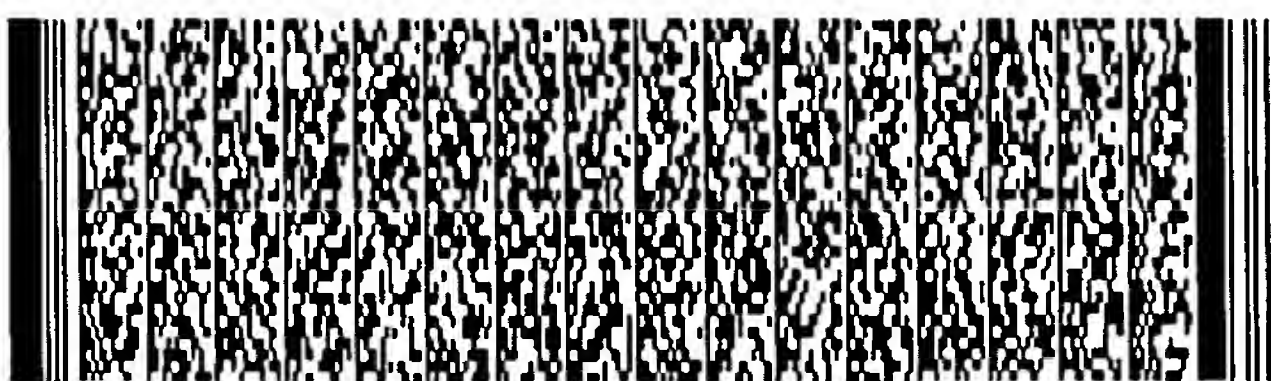
移除該材料層；

於該深溝渠中填入一第二導電層；

移除該深溝渠頂部之部分該第二導電層，以使該第二導電層未填滿該深溝渠；

移除位於該深溝渠側壁，且未被該第二導電層覆蓋之該領氧化層與該保護層；以及

於該深溝渠中填入一第三導電層，該第三導電層填滿該深溝渠。



六、申請專利範圍

2. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該保護層的材質包括氧化矽與氮氧化矽其中之一。

3. 如申請專利範圍第2項所述之深溝渠式電容器的製造方法，其中該保護層的形成方法包括一電漿加強型化學氣相沈積法。

4. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該氮氧化層的形成方法包括一化學氣相沈積法。

5. 如申請專利範圍第4項所述之深溝渠式電容器的製造方法，其中該化學氣相沈積法的反應氣體包括臭氧/四乙基矽酸酯。

6. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該保護層的移除速率小於該氮氧化層的移除速率。

7. 如申請專利範圍第6項所述之深溝渠式電容器的製造方法，其中該保護層的移除速率係介於20至35埃/分。

8. 如申請專利範圍第6項所述之深溝渠式電容器的製造方法，其中該氮氧化層的移除速率係介於40至65埃/分。

9. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該材料層之材質包括光阻材料與抗反射塗佈材料其中之一。

10. 如申請專利範圍第1項所述之深溝渠式電容器的製



六、申請專利範圍

造方法，其中移除該第一開口側壁之部分的該罩幕層與該保護層之方法包括進行一濕式蝕刻製程。

11. 如申請專利範圍第10項所述之深溝渠式電容器的製造方法，其中該濕式蝕刻製程所使用的蝕刻劑包括氫氟酸之乙二醇溶液(HF/EG)與磷酸其中之一。

12. 如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該第二開口的寬度大於該第一開口的寬度係介於5至20奈米。

13. 一種深溝渠式電容器的製造方法，包括：

提供一基底，該基底已形成圖案化之一襯層與一罩幕層以及一深溝渠，該深溝渠底部之該基底周圍已形成一下電極，且該深溝渠表面已形成一電容介電層；

於該深溝渠底部形成一第一導電層；

於該深溝渠及該罩幕層表面形成一領氧化層；

移除位於該第一導電層表面之該領氧化層；

於該深溝渠中填入一材料層；

移除部分位於該深溝渠中之該材料層，以形成一第一開口，其中該材料層的表面高於該襯層；

移除未被該材料層覆蓋之該領氧化層；

移除該第一開口側壁之部分的該罩幕層，以形成一第二開口，其中該第二開口的寬度大於該第一開口的寬度；

移除該材料層；

於該深溝渠中填入一第二導電層；

移除該深溝渠頂部之部分該第二導電層，以使該第二導電



六、申請專利範圍

層未填滿該深溝渠；

移除位於該深溝渠側壁，且未被該第二導電層覆蓋之該領氧化層；以及

於該深溝渠中填入一第三導電層，該第三導電層填滿該深溝渠。

14. 如申請專利範圍第13項所述之深溝渠式電容器的製造方法，其中該材料層之材質包括光阻材料與抗反射塗佈材料其中之一。

15. 如申請專利範圍第13項所述之深溝渠式電容器的製造方法，其中移除該第一開口側壁之部分的該罩幕層之方法包括進行一濕式蝕刻製程。

16. 如申請專利範圍第15項所述之深溝渠式電容器的製造方法，其中該濕式蝕刻製程所使用之蝕刻劑包括氫氟酸之乙二醇溶液(HF/EG)與磷酸其中之一。

17. 如申請專利範圍第13項所述之深溝渠式電容器的製造方法，其中該第二開口的寬度大於該第一開口的寬度係介於5至20奈米。

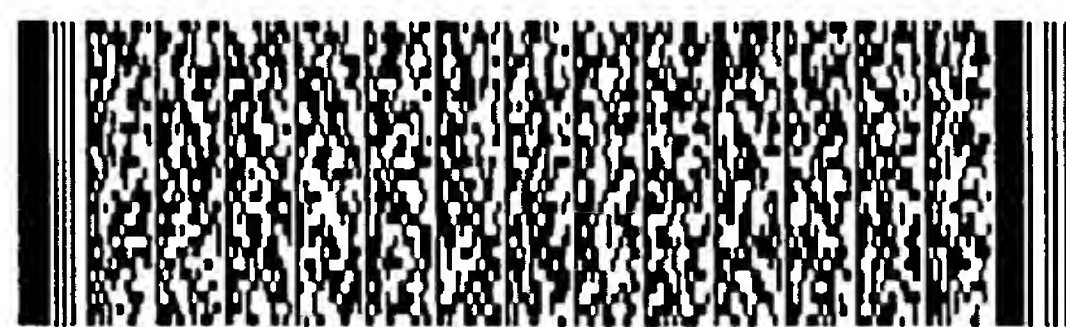
18. 一種深溝渠式電容器的製造方法，包括：

提供一基底，提供一基底，該基底已形成圖案化之一罩幕層與一深溝渠，該深溝渠底部之該基底周圍已形成一下電極，且該深溝渠表面已形成一電容介電層；

於該深溝渠底部形成一第一導電層；

於該罩幕層與該深溝渠表面形成一保護層；

於該保護層表面形成一領氧化層；



六、申請專利範圍

移除位於該第一導電層表面之該保護層與該領氧化層；

於該深溝渠中填入一第二導電層；

移除該深溝渠頂部之部分該第二導電層，以使該第二導電層未填滿該深溝渠；

移除位於該深溝渠側壁，且未被該第二導電層覆蓋之該領氧化層與該保護層；以及

於該深溝渠中填入一第三導電層，該第三導電層填滿該深溝渠。

19. 如申請專利範圍第18項所述之深溝渠式電容器的製造方法，其中該保護層的材質包括氧化矽與氮氧化矽其中之一。

20. 如申請專利範圍第19項所述之深溝渠式電容器的製造方法，其中該保護層的形成方法包括一電漿加強型化學氣相沈積法。

21. 如申請專利範圍第18項所述之深溝渠式電容器的製造方法，其中該領氧化層的形成方法包括一化學氣相沈積法。

22. 如申請專利範圍第21項所述之深溝渠式電容器的製造方法，其中該化學氣相沈積法的反應氣體包括臭氧/四乙基矽酸酯。

23. 如申請專利範圍第18項所述之深溝渠式電容器的製造方法，其中該保護層的移除速率小於該領氧化層的移除速率。

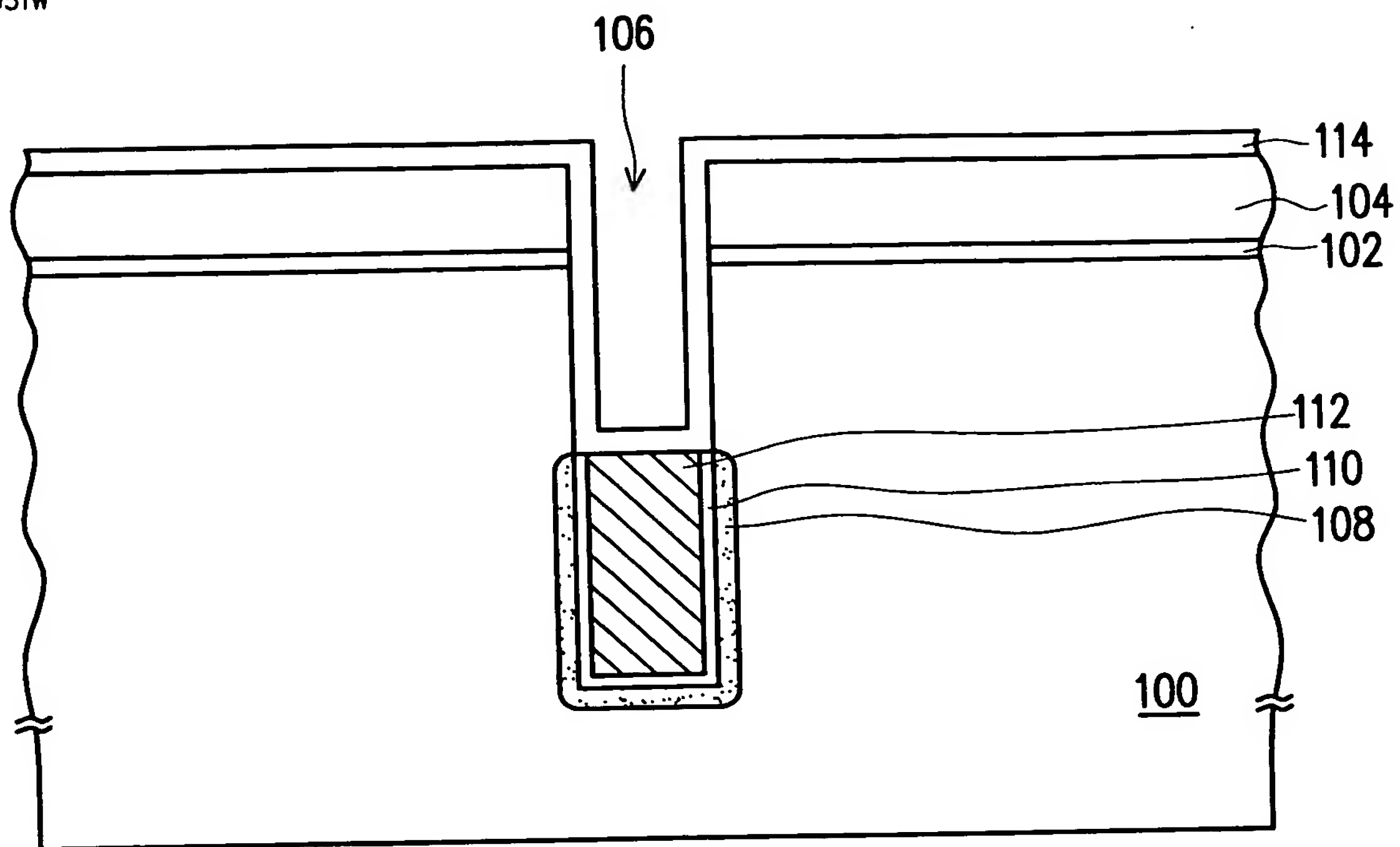


六、申請專利範圍

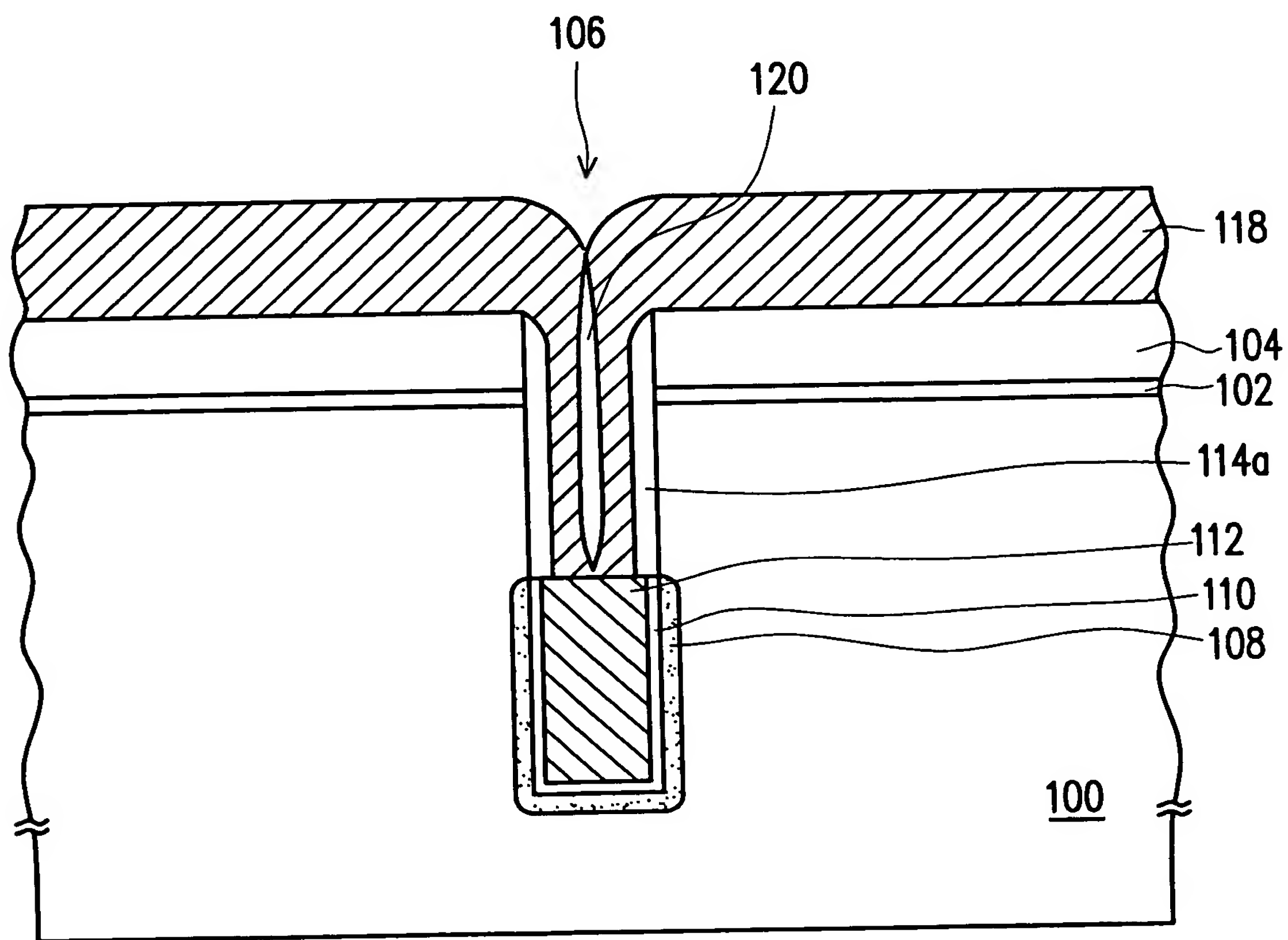
24. 如申請專利範圍第23項所述之深溝渠式電容器的製造方法，其中該保護層的移除速率係介於20至35埃/分。

25. 如申請專利範圍第23項所述之深溝渠式電容器的製造方法，其中該氮氧化層的移除速率係介於40至65埃/分。

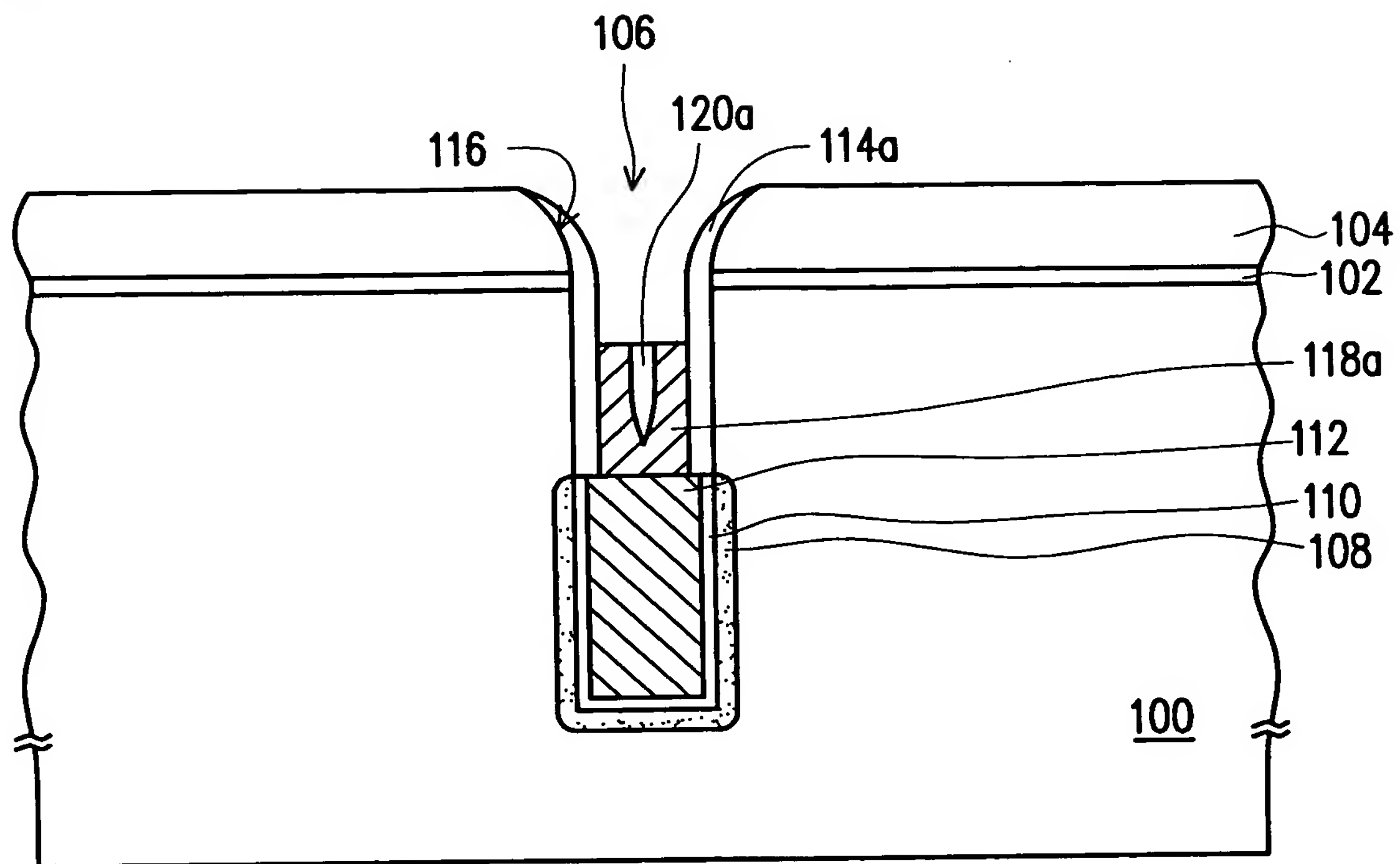




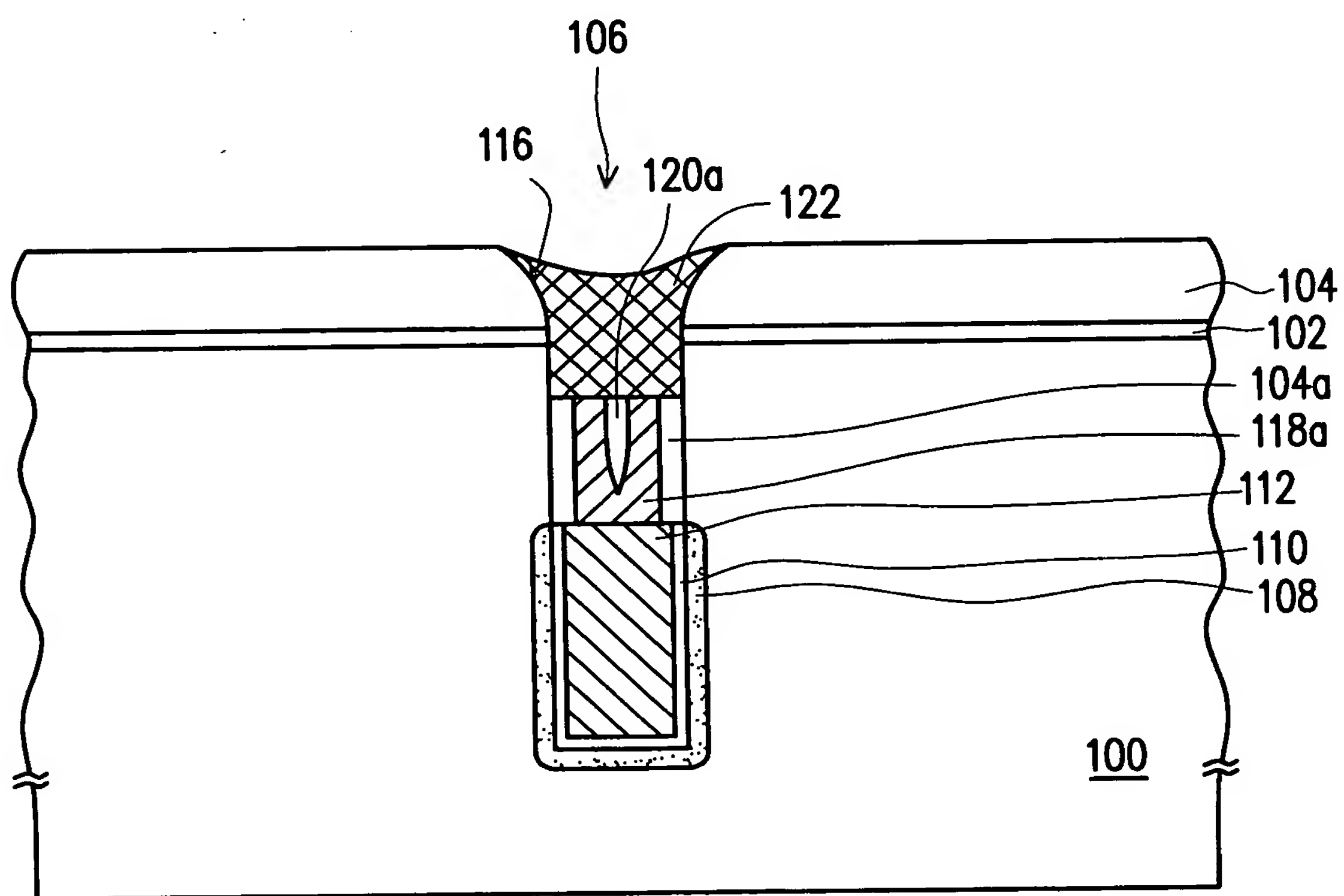
第 1A 圖



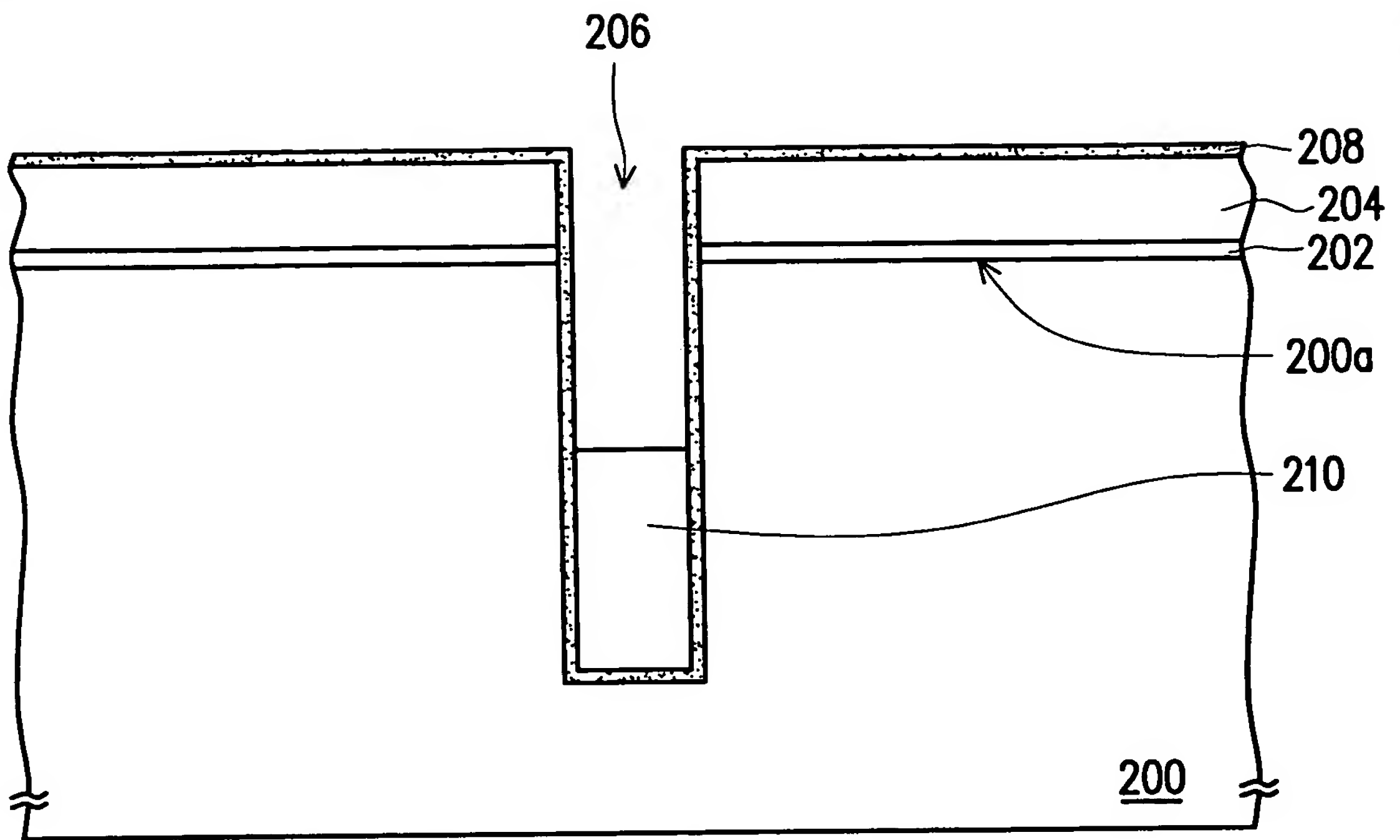
第 1B 圖



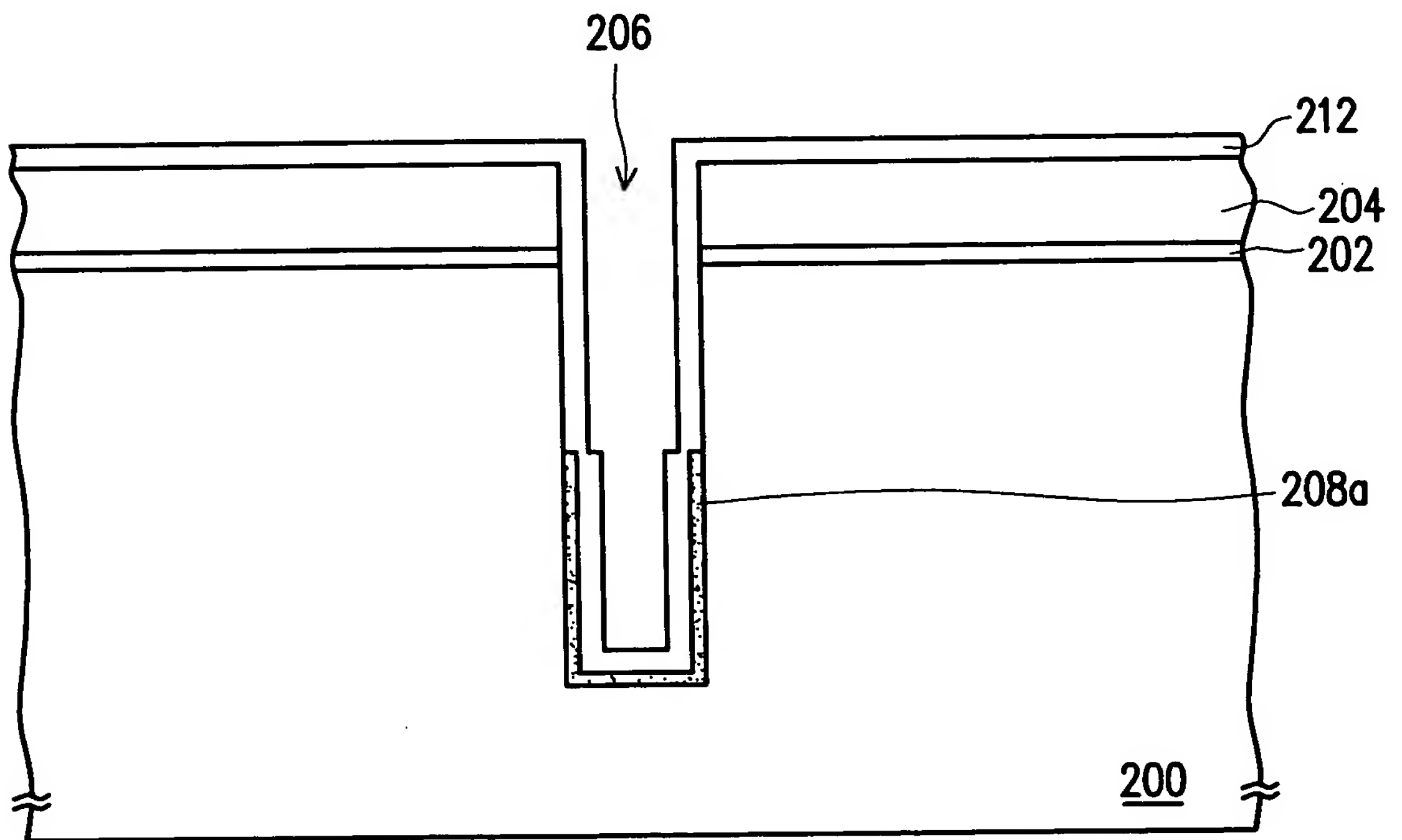
第 1C 圖



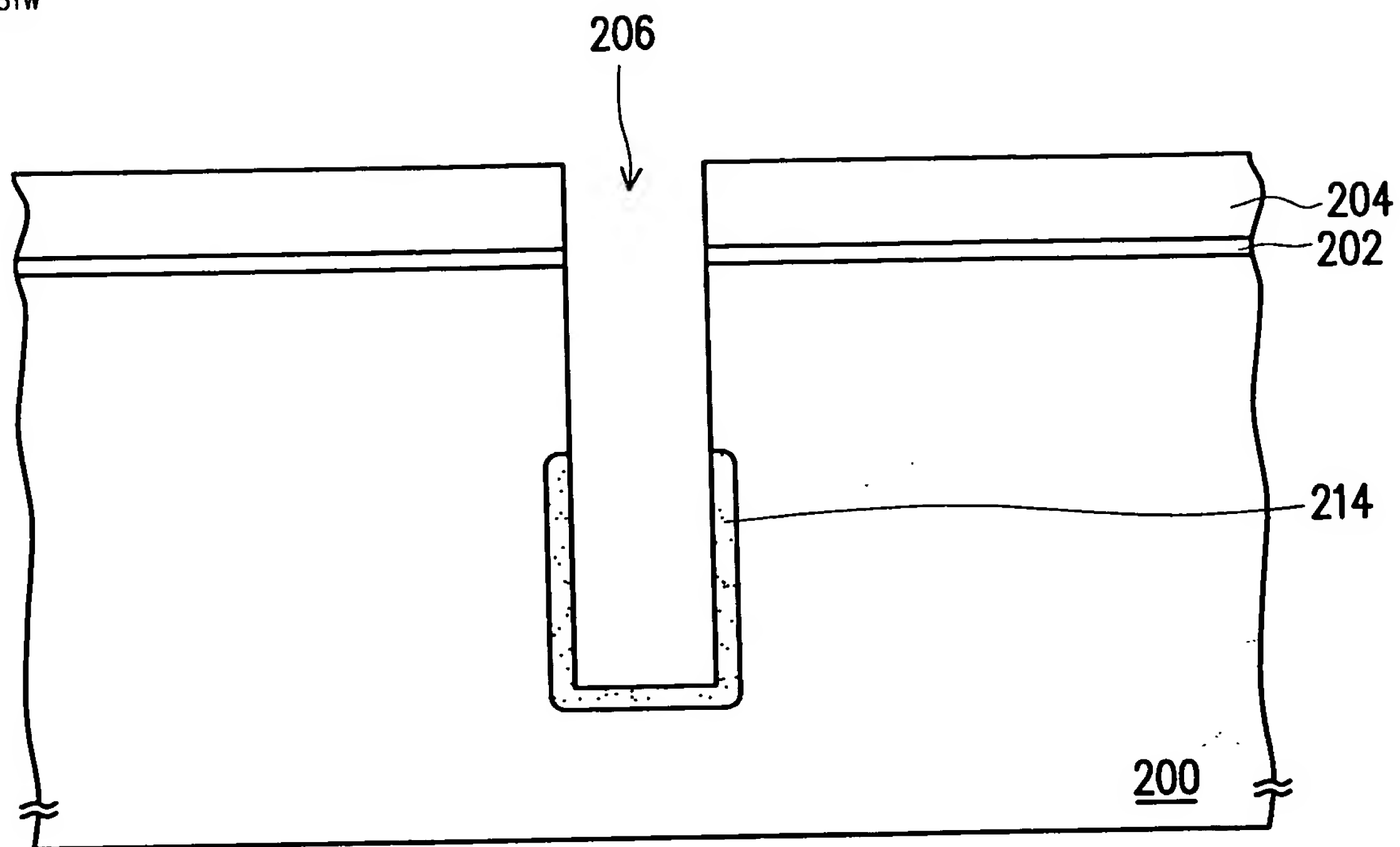
第 1D 圖



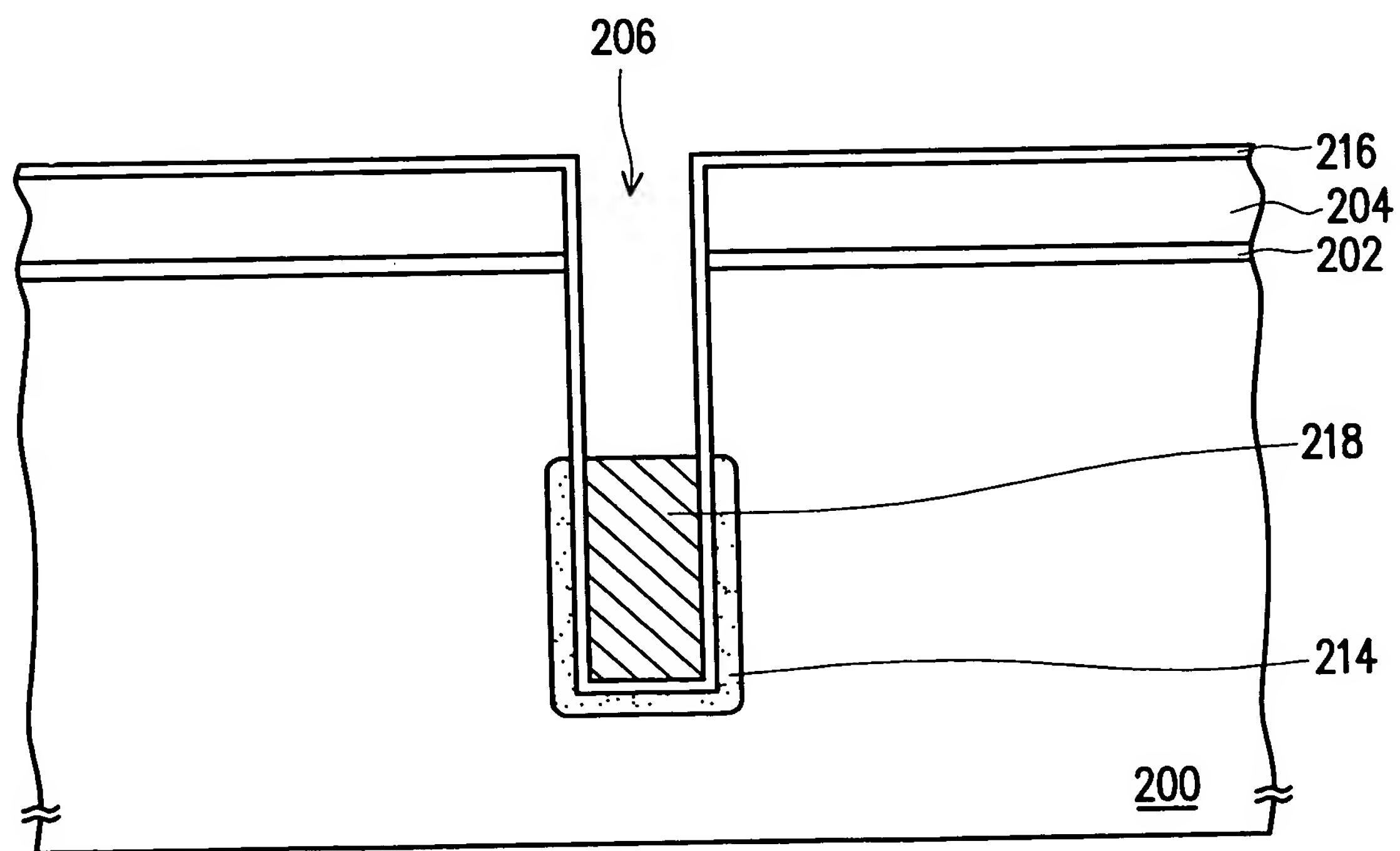
第 2A 圖



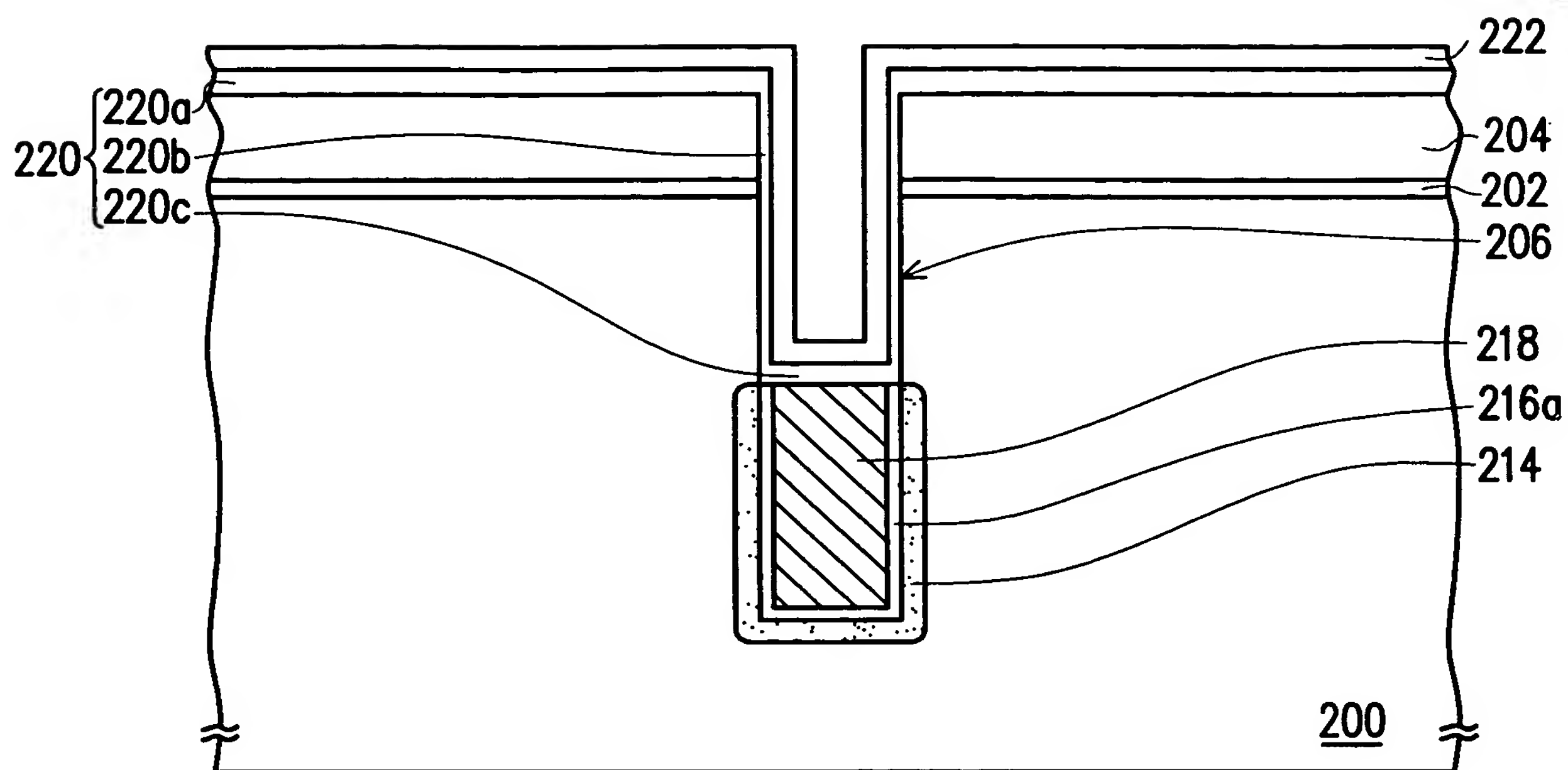
第 2B 圖



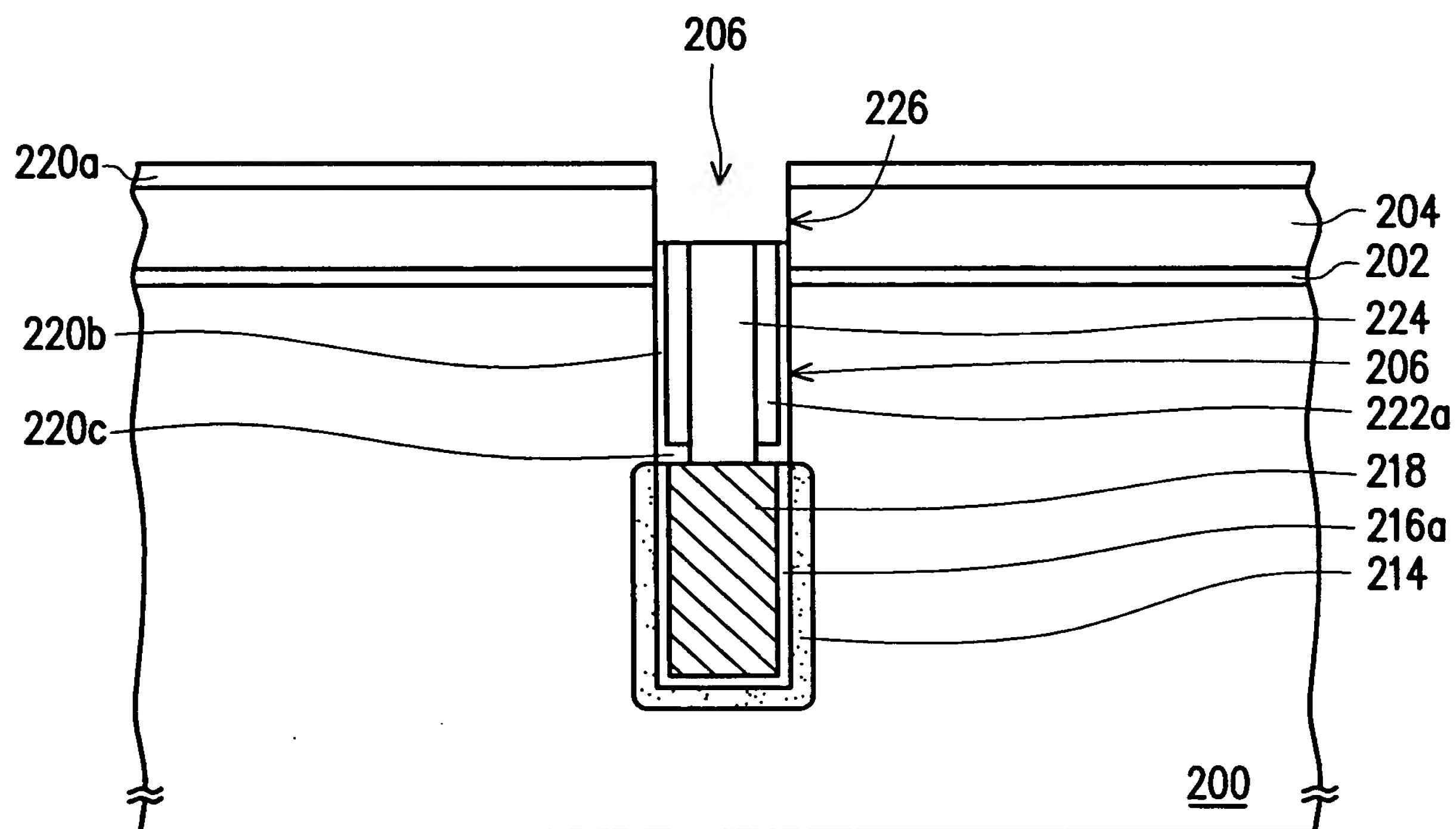
第 2C 圖



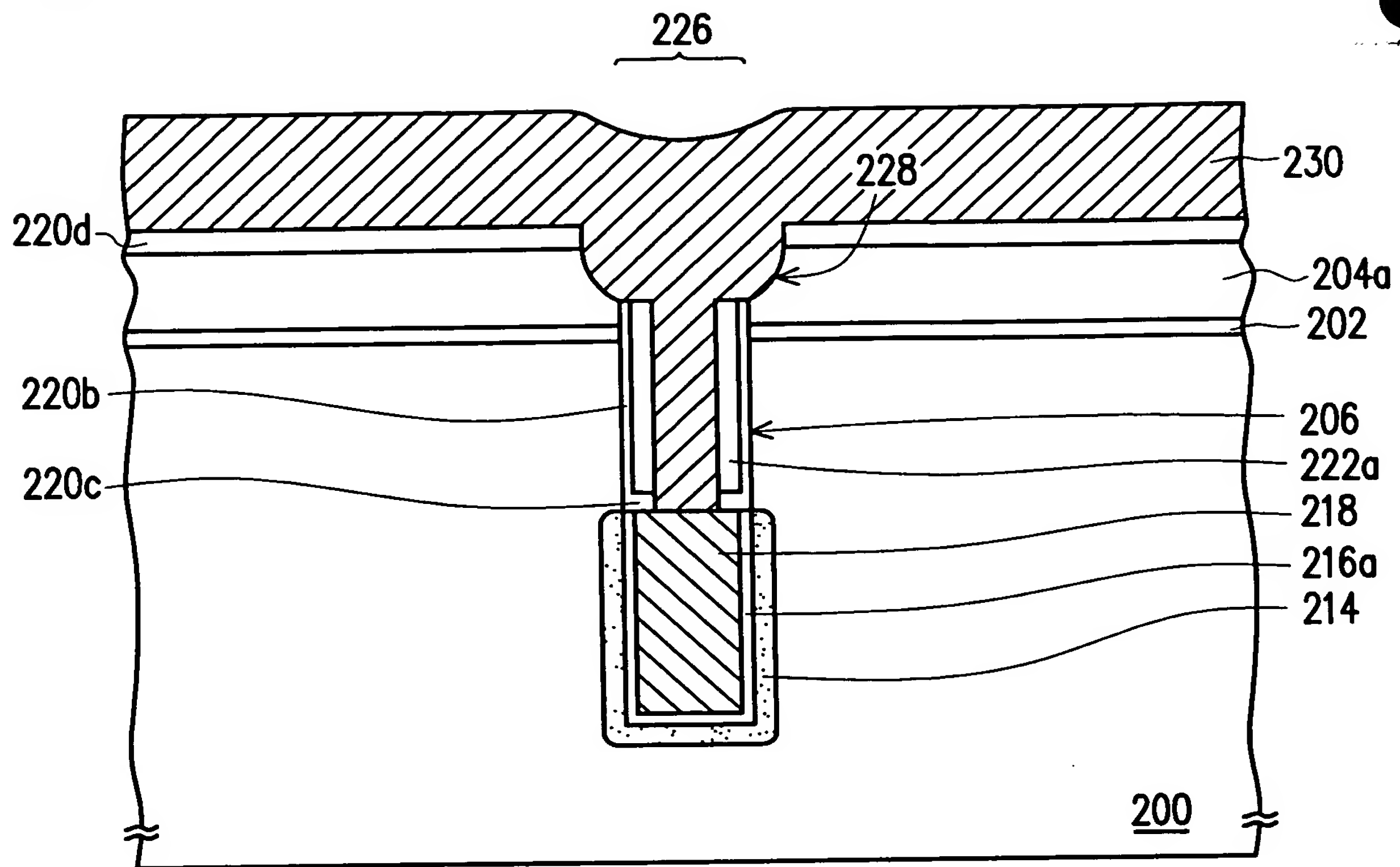
第 2D 圖



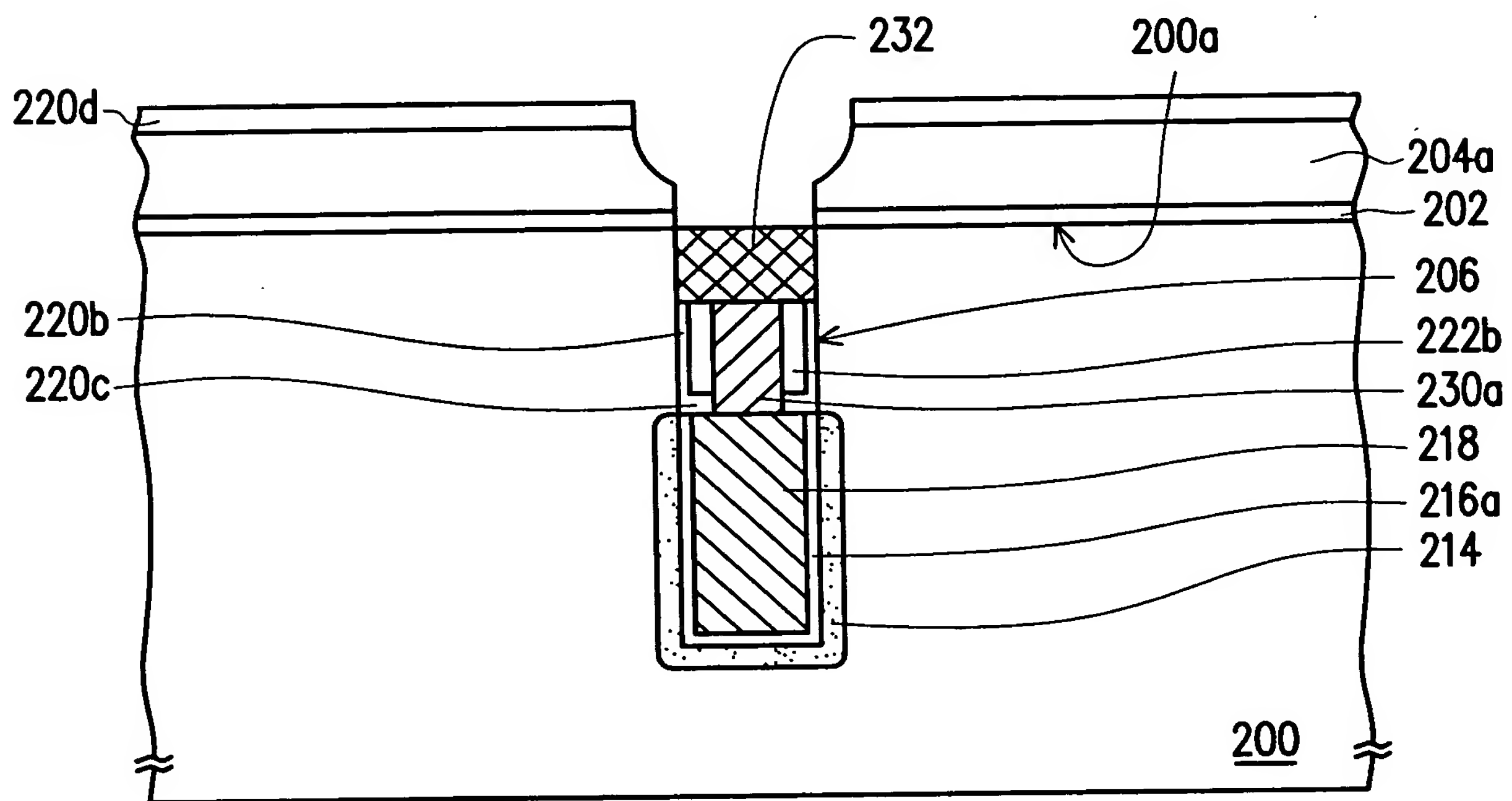
第 2E 圖



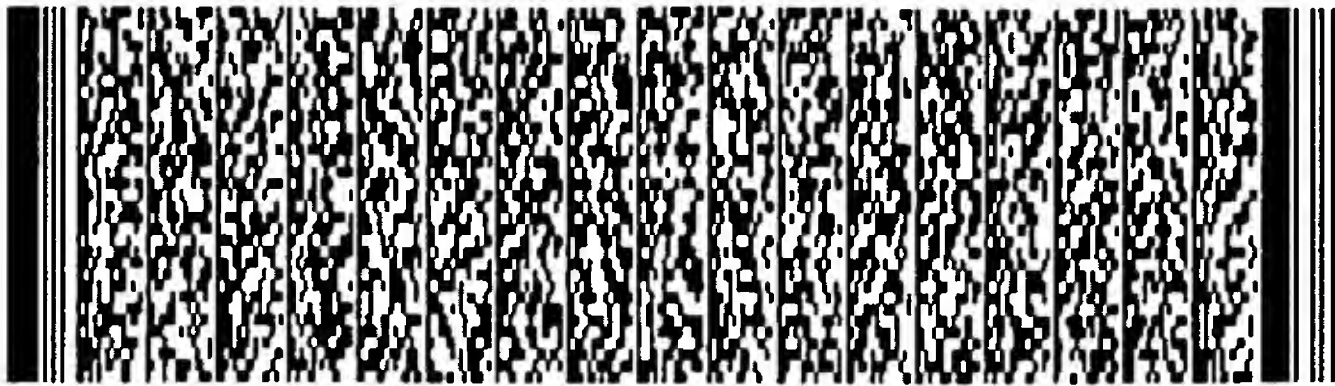
第 2F 圖



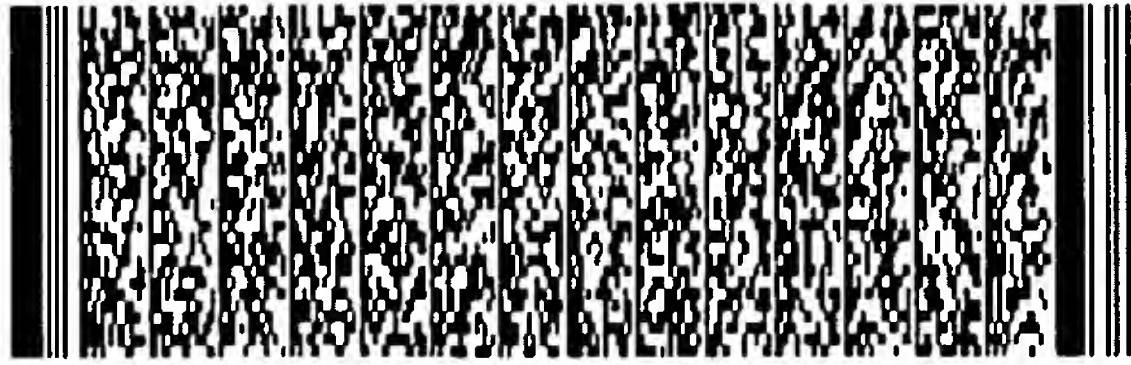
第 2G 圖



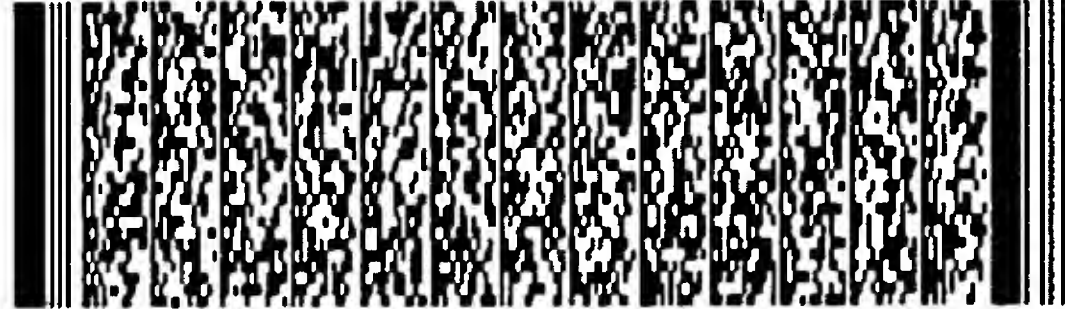
第 2H 圖



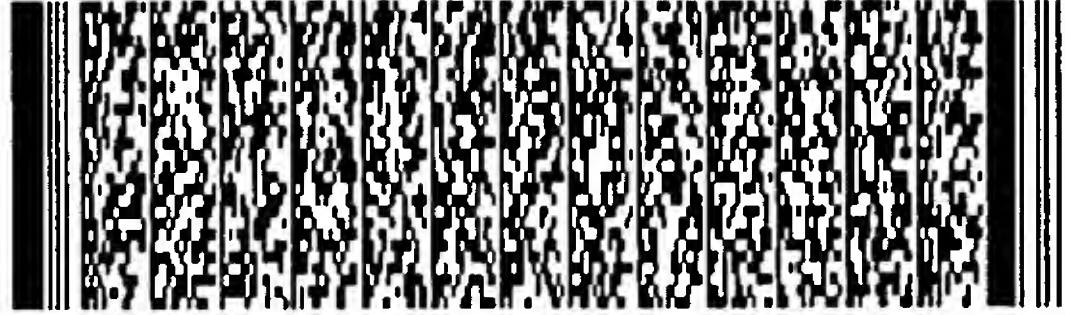
第 20/24 頁



第 21/24 頁



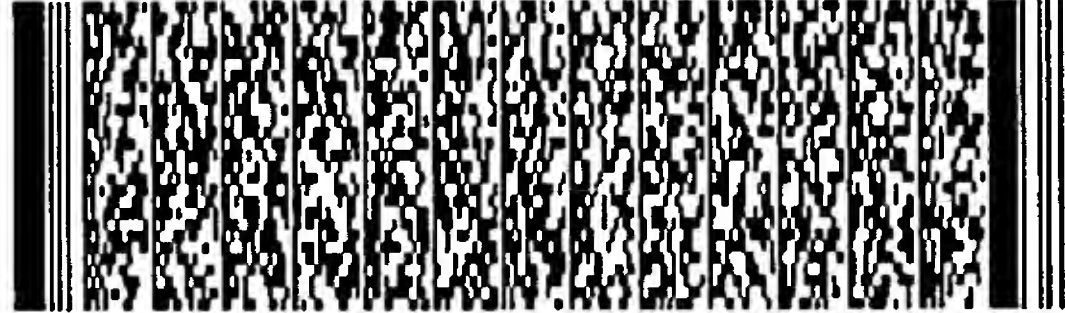
第 21/24 頁



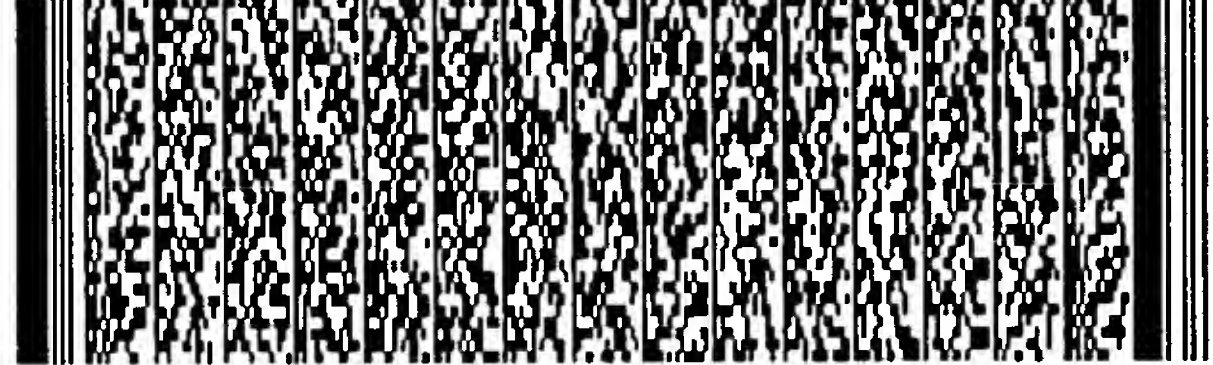
第 22/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

